



Официальный поставщик в РФ
высоконадёжной ЭКБ
производства КНР

+7 (812) 318-18-58
info@aepsilon.ru
www.aepsilon.ru

г. Санкт-Петербург,
пр. Добролюбова,
д. 19, офис 4Н

Акционерное общество
«ЭПСИЛОН»



高性能嵌入式人工智能 SOC 芯片 Yulong810A 数据手册

(Ver: 1.16)

珠海欧比特宇航科技股份有限公司

地址: 广东省珠海市唐家东岸白沙路 1 号欧比特科技园邮编: 519080
电话: 0756-3391979 传真: 0756-3391980 网址: www.myorbita.net

版权声明

珠海欧比特宇航科技股份有限公司拥有此文件的版权，并有权将其作为保密资料处理。本文件包含由版权法保护的专有资料，未经珠海欧比特宇航科技股份有限公司的书面同意不得将本文件的任何部分进行照相、复制、公开、转载或以其他方式散发给第三方，否则，必将追究其法律责任。

免责声明

本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，珠海欧比特宇航科技股份有限公司不承担任何责任。

珠海欧比特宇航科技股份有限公司

ZHUHAI ORBITA AEROSPACE SCIENCE& TECHNOLOGY CO.,LTD

地址(Addr): 广东省珠海市唐家东岸白沙路 1 号欧比特科技园

OrbitaTechPark, 1 Baisha Road, Tangjia Dong'an, Zhuhai, Guangdong, China

邮编: 519080

电话(Tel): +86 756-3391979

传真(Fax): +86 756-3391980

网址(web): www.myorbita.net

目录

1. 概述	4
1.1 简介	4
1.2 结构组成	5
1.3 主要特征	7
1.4 模块说明	12
2. 封装和信号定义	20
2.1 封装信息	20
2.2 封装信号引脚定义	22
2.3 封装电源引脚定义	37
3. 工作条件及电气特性	44
3.1 PVT SENSOR 电气特性	44
3.2 SAR ADC 电气特性	44
3.3 RTC 电气特性	45
4. 系统	47
4.1 复位	47
4.2 时钟	48
4.3 电源管理与低功耗模式	53
4.3.1 电源架构	53
4.3.2 供电	57
4.3.3 最大功率	57
4.3.4 电源模式	59
4.3.5 电源域	60
4.3.6 通断电顺序	61
4.3.7 电源管理单元 (PMU)	63
5. RTC 供电及上下电方式	64
6. 启动	65
7. 产品订货信息	67

表目录

表 1-1 芯片模块说明表	12
表 2-1 FCBGA896 封装尺寸说明	21
表 2-2 芯片引脚信号表	22
表 2-3 封装电源引脚定义表	37
表 3-1 PVT SENSOR 电气特性	44
表 3-2 SAR ADC 电气特性表	44
表 3-3 RTC 模块电特性表	45
表 4-1 复位信号分类表	47
表 4-2 各 PLL 支持的最大频率	51
表 4-3 各子时钟最大频率	52
表 4-4 YULONG810A 供电说明	57
表 4-5 电源轨最大功率	58
表 4-6 YULONG810A 低功耗模式定义	59
表 4-7 YULONG810A 电源域定义	60
表 6-1 内部 BOOT 和外部 EMI 启动方式选择列表	65
表 6-2 内部 BOOT 启动方式选择表	65
表 7-1 芯片产品订货信息	67

图目录

图 1-1 YULONG810A 芯片框图	5
图 2-1 YULONG810A 芯片 FCBGA896 封装外形图	20
图 2-2 FCBGA896 封装外形图	21
图 4-1 芯片复位信号控制图	47
图 4-2 芯片时钟结构图	50
图 4-3 PLL 配置流程图	51
图 4-4(A) YULONG810A 电源结构	55
图 4-4(B) YULONG810A 电源结构	56
图 4-5 YULONG810A 上电顺序	62
图 4-6 YULONG810A 断电顺序	63
图 4-7 YULONG810A 与 PMIC 之间的时序	63



1. 概述

1.1 简介

Yulong810A是欧比特公司推出的新一代嵌入式人工智能系列处理器芯片，芯片聚焦于前端图像处理、前端信号处理和智能控制，芯片具有深度学习、神经网络算法的平台加速能力。Yulong810A芯片为异构多核架构（CPU+AI加速器），采用FD-SOI生产工艺，具有高性能、高可靠、低功耗的特点，芯片面向航空航天、智能安防、机器人、AIoT、智能制造、智慧交通等应用场景。

Yulong810A芯片集成4核ARM Cortex-A9处理器。处理器内部包含整型处理单元(IU)、浮点处理单元(FPU)、高速一级缓存(L1 Cache)、存储器管理单元(MMU)、NEON协处理器和高速二级缓存(L2 Cache)等模块。可为客户应用程序提供充足、可靠的计算资源。

Yulong810A芯片集成H.265/264/JPEG编解码器以及JPEG2000编码器，提供高性能视频图像编解码功能支持。

Yulong810A芯片内部集成了丰富的片上外设，包括CameraLink，MIPI，BT1120，LVDS Display，RapidIO，PCIe，GigaEthernet，USB2.0，Nand Flash控制器，SPI Nor Flash控制器，SDIO，1M/10M的1553B总线控制器，CAN总线控制器，EMI控制器，SPI主控器，I²C主控器，I²S控制器，UART，定时器，RTC，DMA，Watchdog，GPIO，PWM，SM4加解密引擎等功能模块，能够满足各类应用需求。

Yulong810A芯片集成了完备的片上调试系统。对于ARM A9内核，用户可以通过JTAG接口连接CoreSight调试模块来访问芯片内部的寄存器、存储器和片内外设，进行软硬件调试。

Yulong810A配套欧比特提供的SDK，方便客户快速高效地进行AI软件程序的开发。支持Google TensorFlow、Caffe等AI开发框架，支持OPENCL\OPENVX\OPENCV等软件库，可以进行AI开发。支持eCOS、VxWorks、Linux等实时嵌入式操作系统，用户可方便地实现嵌入式实时控制系统的高性能



多核并行处理设计。

1.2 结构组成

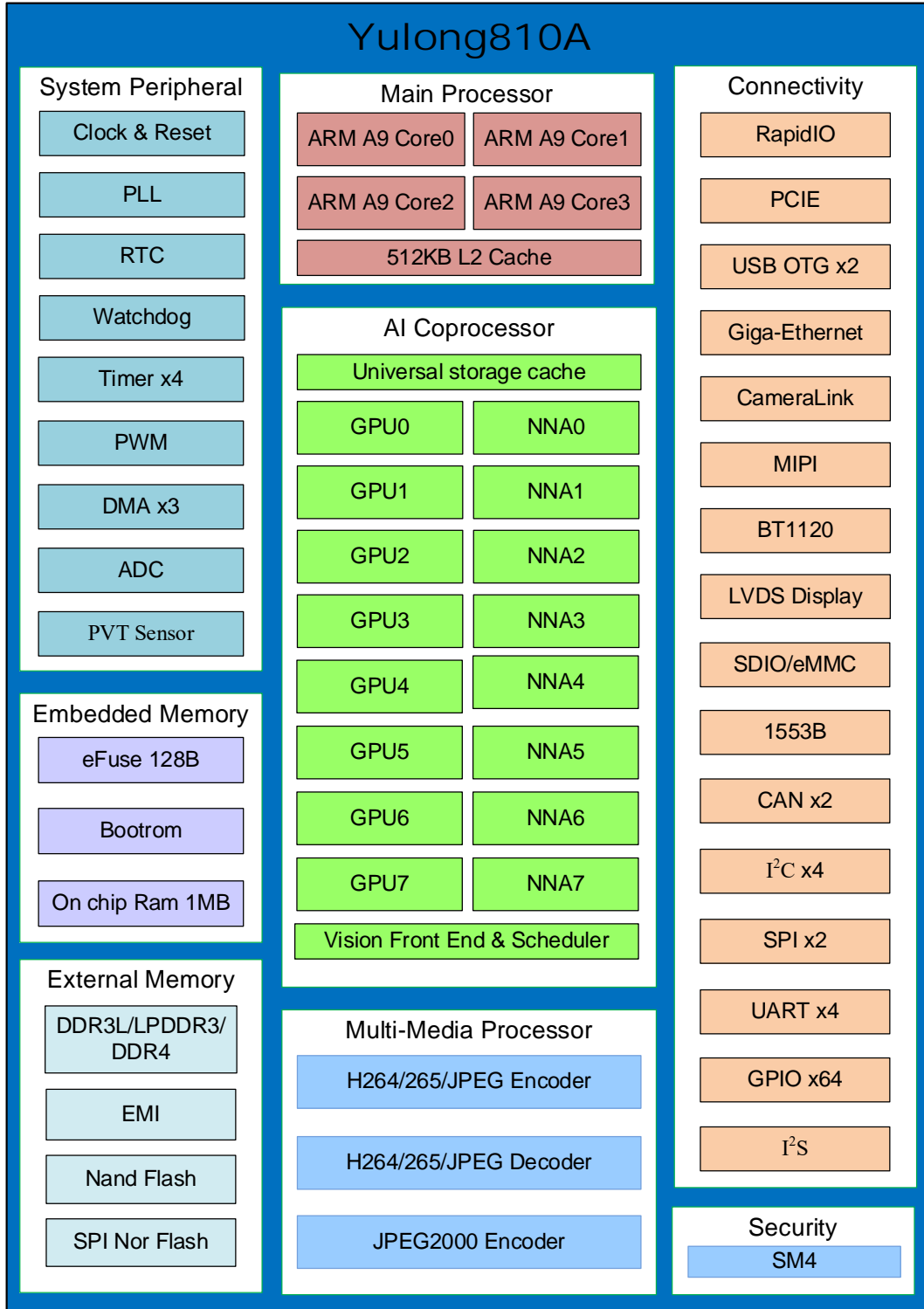


图 1-1 Yulong810A 芯片框图



图1-1中各个模块的说明如下：

- 1) ARM A9: ARM A9 处理器核心, 共 4 个;
- 2) 512KB L2Cache (ARM): ARM A9 处理器 L2Cache 模块;
- 3) AI Coprocessor: AI 协处理器 VIP810;
- 4) Universal Storage Cache: AI 协处理器 Cache;
- 5) GPU: 图形处理器, 共 8 个;
- 6) NNA: 神经网络加速单元, 共 8 个;
- 7) Vision Front End& Scheduler: AI 协处理器任务分配、命令处理单元;
- 8) DDR: DDR 控制器, 支持 DDR4/DDR3L/LPDDR3;
- 9) On Chip RAM 1MB: 1MB 片上通用 SRAM;
- 10) Clock&Reset: 时钟复位模块;
- 11) PLL: 锁相环模块, 用于产生片内各模块的时钟信号;
- 12) RTC: 实时时钟模块;
- 13) Watchdog: 看门狗模块;
- 14) Timer: 定时器模块, 共 4 通道;
- 15) PWM: PWM 生成器;
- 16) DMA: 直接内存存取模块, 共 3 组, 每组包含 8 通道;
- 17) ADC: 12 位精度 SAR ADC;
- 18) PVT sensor: 电压/温度传感器;
- 19) H.264/H.265/JPEG Encoder: H254、H.265 编码器模块 VC810E;
- 20) H.264/H.265/JPEG Decoder: H.264、H.265 解码器模块 VC810D;
- 21) JPEG2000 Encoder: JPEG2000 编码器模块;
- 22) EFuse 128B: 128Byte Efuse 控制器;
- 23) BOOTROM: ARM BOOTROM 模块;
- 24) EMI: 外部存储器接口 (External Memory Interface);
- 25) Nand Flash: Nand Flash 控制器;
- 26) SPI Nor Flash: SPI Nor Flash 控制器;

- 27) RapidIO: RapidIO 控制器, 片内集成 PHY;
- 28) PCIE: PCIE 控制器, 支持 PCIE Gen1、GEN2 协议;
- 29) USB OTG: USB2.0 主控制器, 共 2 路;
- 30) Giga-Ethernet: 千兆以太网控制器, 支持片外外接 PHY;
- 31) Camera Link: Camera Link 图像接口, 支持 Camera Link 2.0 标准;
- 32) MIPI: MIPI CSI-2 控制器;
- 33) BT1120: BT1120 接口;
- 34) LVDS Display: LVDS 视频输出控制器, 片内集成 LVDS TX PHY;
- 35) SDIO/eMMC: SDIO/eMMC 控制器, 支持 SD3.0 及 eMMC v4.5;
- 36) CAN: CAN 总线控制器, 共 2 通道;
- 37) 1553B: 1553B 总线控制器;
- 38) GPIO: 独立可配置 GPIO 信号, 共 64 路;
- 39) I²C: I²C 总线控制器, 共 4 通道;
- 40) I²S: I²S 总线控制器;
- 41) SPI: SPI 接口, 支持主/从模式, 共 2 通道;
- 42) UART: 4 路通用串行接口;
- 43) SM4: SM4 加解密模块。

1.3 主要特征

➤ 主处理器

- 4 核 ARM CortexA9 处理器
 - 工作频率范围 1GHz@0.8V(Typical Case);
 - 32KB L1 Instruction Cache;
 - 32KB L1 Data Cache;
 - 核内定时器及看门狗模块;
 - 512KB L2 Cache;
 - 包含 NEON 浮点向量协处理单元;



➤ AI 协处理器

● GPU 单元

- 标准 shader core;
- 支持 EVIS 扩展指令;
- 支持 16/32/64 位浮点运算;
- 峰值算力 64 GFLOPS;

● NNA 单元

- 矩阵式并行卷积 MAC 单元;
- 支持神经网络多维数组处理的压缩和剪枝;
- 支持 8/16 位定点处理;
- 峰值算力 12 TOPS;

➤ 图像协处理单元

● H.264/H.265/JPEG 编码器

- HEVC 编码性能 3840x2160@30fps (main10 level5.1);
- H.264 编码性能 3840x2160@30fps (high profile);
- JPEG 编码性能 3840x2160@30fps;
- 输出格式 YCbCr 4:2:0;
- 支持采样位深度 8bpc;
- 支持图像降采样;
- 支持切片/帧类型: I, P, B 三种;

● H.264/H.265/JPEG 解码器

- HEVC 解码性能 3840x2160@30fps (main10 level5.1);
- H.264 解码性能 3840x2160@30fps (high level5.2);
- JPEG 解码性能 3840x2160@30fps;
- 支持后处理 (post processing) 输出;
- 支持 OpenMax IL API;
- 支持 Libva 及 Libdrm;
- 支持嵌入式参考帧压缩;

- JPEG2000 编码器
 - 支持的采样格式：
 - 灰度级采样；
 - 双元素：4:4, 4:2, 4:1 及 4:0；
 - 三元素：4:4:4, 4:2:2, 4:1:1 及 4:2:0；
 - 四元素：4:4:4:4, 4:2:2:2, 4:1:1:1 及 4:2:0:0；
 - 支持 8bit 每元素的采样精度；
 - 支持高达 65535 x 65535 图像分辨率；
 - 支持 4096 x 2160 分片精度；
 - 支持有损或无损压缩；
 - 支持单/多品质层编码；
 - 支持标准兼容码流（JPC）或文件（JP2）输出；

➤ 存储系统

- Bootrom: 内嵌 BOOT 程序；
- OCM: 1MB 片内 RAM；
- 外部存储器接口
 - DDR4/DDR3L/LPDDR3: 最高数据率 2666Mbps, 3GB 存储空间, 64bit 数据宽度, 8bit ECC；
 - NAND Flash: 支持 8bit/16bit 数据宽度, 支持 512KB/2KB/4KB/8KB 页尺寸, 24bit ECC；
 - 串行 Nor Flash: 标准/双/四 SPI 接口, 最高数据率 50Mbps, 支持主/从模式；
 - 并行 Nor Flash 或异步 SRAM: 支持 8bit/16bit 数据宽度, 32MB 存储空间, 支持 16 位启动；

➤ 高速外设接口

- 显示
 - LVDS 串行接口, 最高支持 FHD 分辨率；
- 摄像头传感器

-Camera Link 摄像头接口，v2.0 标准，支持 Lite/Base/Medium/Full 模式；

-MIPI CSI-2 串行摄像头接口，支持 4 通道；

- BT1120 摄像头接口；

- 高速串行接口

- PCIe Gen2 接口，支持 4 通道，支持 Root 复杂操作以及 Endpoint 操作；

- Rapid IO Gen2 接口，支持 4 通道，支持 BRC1 5Gbps 及 BRC2 6.25Gbps；

- 10/100/1000 Mbps 以太网；

- USB2.0 接口，2 路

- USB2.0-OTG；

- USB2.0 Host only；

- SD/SDIO/MMC 接口

- 支持 SD3.0 及 eMMCv4.5 标准；

- 支持 4 比特 SD 及 SDIO 传输模式标准，支持最高 UHS-I SDR-104 模式（最大 104 MB/s）；

- 支持 4 比特或 8 比特 MMC 卡传输模式标准，支持 SDR 及 DDR 模式最高 52MHz（最大 104 MB/s）；

➤ 系统组件

- RTC：报警和计时功能；

- Watchdog：16 位看门狗计数器；

- Timer：4 通道 32 位普通定时器；

- DMA：3 组，每组 8 通道控制器；

➤ 低速外设接口

- I²S：支持 24bit 立体声输入/输出；

- UART：4 路，支持 2 线标准，支持流控制；

- I²C：4 路，支持主/从模式，最高 3.4Mbps；



- SPI: 2 路, 支持主/从模式;
- GPIO: 64 路独立可配置 GPIO 信号, 支持 GPIO 中断功能;
- SAR ADC: 12bit 精度, 采样率最高支持 1MSPS;
- 1553B:

- 支持 BC、RT 和 BM 三种工作模式;
- 数据传输速率 1Mbps 和 10Mbps 可配置;

- CAN:

- 两个独立通道;
- 支持 PeliCAN 和 BasicCAN 两种模式;
- 符合 CAN 2.0B 协议;

- JTAG 调试接口;

➤ 电源管理及控制

- 集成片内电源管理单元;
- 集成温度传感器;
- 支持多种系统功耗模式;
- 集成灵活的门控时钟设计;

➤ 安全功能

- 片上 128Byte eFUSE;
- SM4 数据安全模块;

➤ 其他

- 芯片封装: FCBGA 896, 25*25mm, 0.8pitch;
- 工艺: 22 nm FDX 工艺;
- 工作电压: Core 0.8V, 数字 IO 1.8V/3.3V, Analog 1.8V/2.5V/3.3V, DDR IO 1.2V/1.35V/1.5V;
- 工作温度: -40℃ ~ +125℃;
- 典型功耗: 5W;
- 抗辐指标: SEL 免疫;

➤ 软件支持

- 异构多核（API）接口：OPENCL、OPENVX；
- 操作系统（EOS）：Linux、FreeRTOS；
- 设备驱动程序及例程。

1.4 模块说明

Yulong810A 芯片包含以下模块：

表 1-1 芯片模块说明表

模块名称	模块数量	模块功能
Main Processor	1	4核SMP架构ARM Cortex A9处理器。每个核包含超标量可变长度8级流水线，支持乱序执行，具有动态分支预测功能。完全实现ARM体系结构v7-A指令集、ARM Neon Advanced SIMD（单指令，多数据）支持加速媒体和信号处理计算。集成PL310 L2 Cache。集成CoreSight调试单元，支持基于JTAG硬件断点、多核调试。
AI Coprocessor (VIP810)	1	芯片 AI 协处理器主要由 GPU 可编程引擎和神经网络引擎（Neural Network Engine, NN）两大部分组成，包含 8 路 GPU 和 8 路 NN 加速单元。可编程引擎 GPU 由标准 shader core 构成，并在 Shader 指令集的基础上增加了 24 条增强指令集 EVIS（Enhanced Vision Instruction Set），NN 单元由乘累加器（MAC）阵列组成，可进行 8 位、16 位定点运算。AI 协处理器通过 OPENCL\OPENVX 等软件接口编程。
H264/265/JPEG Encoder (VC810E)	1	H264/265/JPEG 编码器支持 H.264, H.265 及 JPEG 格式编码。 该编码器包括编码内核模块、控制寄存器、中断控制器、计时器。系统 CPU 使用 APB 接口控制编码内核模块（配置编码器参数，开始处理，获取状态和结果），编码器通过 AXI4 接口从 Memory 中读写视频数据。
H264/265/JPEG Decoder (VC810D)	1	H264/265/JPEG 解码器支持 H.264, H.265, SVC, MVC 及 JPEG 格式解码。 解码器包括解码器内核、控制寄存器、中断控制器、计时器。系统 CPU 使用 APB 接口控制解码器模块（配置解码器参数，开始处理，获取状态和结果），解码器通过 AXI4 接口从 Memory 中读写视频数据。 该解码器执行像素级/低级处理，控制软件处理高



模块名称	模块数量	模块功能
		于切片数据级别的更高级别的解码过程。
JPEG2000 Encoder	1	<p>JPEG2000编码器支持JPEG2000 PART 1有损及无损图像压缩。</p> <p>JPEG2000模块能够高速、高质量地对JPEG 2000图像和视频进行编码。该模块执行以下视频编码压缩操作：</p> <ul style="list-style-type: none"> ◆无损或有损压缩； ◆先进比特率控制引擎； ◆单或多质量层编码； ◆CPRL进展顺序； ◆LRCP进展顺序（仅灰度级）； ◆错误复原编码特性； ◆标准兼容码流（JPC）文件（JP2）输出；
DDR Controller	1	<p>DDR 控制器兼容 JEDEC 标准 DDR4/DDR3L/LPDDR3 SDRAM。其中，DDR4 支持最高 2666Mbps，DDR3L 支持最高 1600Mbps，LPDDR3 支持最高 1866Mbps。</p> <p>该 DDR 控制器支持单 rank 模式，最大支持 3GB 内存容量，支持 64bit 数据位宽，同时支持 8bit ECC。</p> <p>该 DDR 控制器支持命令重排序、低功耗模式等功能，以提高系统性能。</p>
On Chip Memory	1	<p>芯片集成 1024KB 的片内 SRAM。该 SRAM 允许被片内所有主设备访问，可用作高带宽缓存。</p>
DMA	3	<p>芯片提供了 3 个 DMA 控制器，每个 DMA 控制器拥有 8 个 DMA 通道。</p> <p>该控制器为基于列表项（Linked Lists）的分散/聚集型 DMA，支持地址递增/递减或无变化的传输方式。</p>
RapidIO	1	<p>芯片包含 1 路 Rapid IO 控制器（内置 PHY）。该控制器符合 Rapid IO Gen2 协议，最大支持 4 个 Lane，支持最高 5Gbps（BRC1）或 6.25Gbps（BRC2）速率。</p> <p>该模块具有以下技术特征：</p> <ul style="list-style-type: none"> ◆兼容 RapidIO 标准 2.2 版本； ◆支持 1.25Gbaud，2.5Gbaud，3.125Gbaud 及 5Gbaud BRC1 速率； ◆支持 6.25Gbaud BRC2 速率； ◆支持最高 256 Byte 数据负载； ◆支持 34bit 及 50bit RIO 寻址； ◆支持消息传送：数据及门铃信息； ◆支持 DMA 模式读写；
PCIe	1	<p>芯片包含 1 路 PCIe 控制器（内置 PHY），以进行 PCI</p>

模块名称	模块数量	模块功能
		Express RC及EP应用。该控制器支持PCIe-Gen2 4通道通信，具有如下技术特征： <ul style="list-style-type: none"> ◆支持PCI Express Gen1及Gen2协议； ◆支持Gen2（5.0 Gbps x 4 lanes）； ◆支持128-bit内部数据深度，125MHz内部工作频率； ◆支持ECRC生成及校验； ◆支持RAS DES（Debug，Error injection，statistics）； ◆支持RAS DP（Data Protection），以对数据路径及RAM进行校验； ◆支持MSI（Message Signaled interrupt）； ◆支持高级功耗及时钟管理 <ul style="list-style-type: none"> - 不支持D3 cold； - 不支持L1 sub； ◆可配置的BAR滤波器，I/O滤波器； ◆嵌入式DMA（4读+4写通道） ◆内置地址转换模块；
CameraLink	1	该接口遵守 Camera Link v2.0 规范，实现数据接收功能。 <ul style="list-style-type: none"> ◆支持 Camera Link lite/base/medium/full/模式； ◆支持 bit 分配； ◆数据格式： <ul style="list-style-type: none"> - Mono 8/10/12/14/16； - RAW 8/10/12/14/16； - RGB 24/30/36； ◆ Camera 控制信号： <ul style="list-style-type: none"> - CC1：脉冲或静态0/1信号； - CC2：脉冲或静态0/1信号； - CC3：脉冲或静态0/1信号； - CC4：脉冲或静态0/1信号； ◆通信信号： <ul style="list-style-type: none"> - SerTFG：连接到UART RX； - SerTC：连接到UART TX； ◆通信波特率支持：300bps 到 1500Kbps； ◆像素时钟范围：20MHz 至 297MHz；
MIPI CSI-2	1	芯片集成 1 路 MIPI CSI-2 主控制器。该控制器用于接收 CSI-2 接口的摄像头传感器数据。同时芯片集成 MIPI-D PHY 模块。 <ul style="list-style-type: none"> ◆支持 MIPI 相关标准；



模块名称	模块数量	模块功能
		- MIPI Alliance Specification for Camera Serial Interface 2 (CSI-2), Version 1.2, January 2014 - MIPI Alliance Specification for D-PHY, Version 1.2, September 2014 - MIPI Alliance Specification for C-PHY, Version 1.0, October 2014 ◆ 高达 8 个 D-PHY RX 数据通道; ◆ 每个 D-PHY 通道最高支持 2.5Gbps 通信速率; ◆ 每个 C-PHY 通道最高支持 2.5Gbps 通信速率;
LVDS	1	芯片集成 1 路 LVDS 显示接口。该接口包含 LVDS 视频输出控制器及 LVDS TX 发送器。LVDS 视频输出控制器接收 DC8000 的视频输出数据，根据 VESA (Video Electronics Standards Association) 标准及 JEIDA (Japanese Electronic Industry Development Association) 标准进行 LVDS 像素映射，并最终从 LVDS 发送器输出重映射后的并行数据。该 LVDS 控制器仅支持 FPD-Link 标准，不支持 FPD-Link II、FPD-Link III 及 V-By-One 标准。 ◆ 支持 LVDS 单通道输出 (4 lanes)，最大并行数据宽度为 28 bit; ◆ 支持最大 150MHz 像素时钟及 LVDS 时钟; ◆ 支持以下典型分辨率: - VGA(640x480)@60fps - SVGA(800x600)@60fps - XGA(1024x768)@60fps - SXGA(1280x1024)@60fps - UXGA(1600x1200)@60fps - FHD(1920x1080)@60fps
SDIO	1	芯片集成 1 路 SDIO3.0 接口，该接口包括 SDIO3.0 控制器及 PHY 模块，支持安全数字存储器 (SD Mem)，安全数字 I/O (SDIO) 及多媒体卡 (MMC) 标准。
Ethernet	1	芯片包含 1 路千兆以太网控制器 GMAC，与片外以太网 PHY 配合使用。 该模块具有以下特征: ◆ 支持 GMII/RGMII 接口; ◆ 支持 10, 100 及 1000Mbps 数据传输率; ◆ GMAC 支持全双工及半全双工操作; ◆ GMAC 支持帧滤波操作;

模块名称	模块数量	模块功能
EMI Controller	1	<ul style="list-style-type: none"> ◆ 支持硬件校验核计算及纠错； 芯片集成 1 路外部存储器接口控制器，用以读写片外异步 SRAM 或并行 NOR flash。 该控制器具有以下特征： <ul style="list-style-type: none"> ◆ 支持8bit及16bit数据位宽； ◆ 支持 4 个地址片选信号，每个分配 32MB 地址空间； ◆ 支持 CPU 模式及 DMA 模式； ◆ 可编程异步读写时间； ◆ 支持地址/数据复用及页模式；
Nand Flash Controller	1	NAND FLASH控制器模块包含控制器和PHY。该模块提供丰富的功能，以最大化系统级性能，并提供功能最丰富和最灵活的NAND闪存解决方案，支持企业级存储和嵌入式内存应用程序。 <ul style="list-style-type: none"> ◆ 支持4个片选信号，支持1~8个地址周期，无最大容量限制； ◆ 支持8/16 bit Flash IO总线位宽； ◆ 支持512KB, 2KB, 4KB及8KB页尺寸，SLC/MLC NAND flash设备； ◆ 支持8/16 bit Flash IO总线位宽； ◆ 支持大部分主流flash器件命令；提供Up模式以用于特殊命令的flash接口操作； ◆ 支持双平面操作； ◆ 支持8/16 bit Flash IO总线位宽； ◆ 自动在线、片内缓存错误纠正；内部ECC电路能够纠正每512B数据中最多8或15比特随机错误，或每1024B数据中最多24或40或60比特随机错误。 ◆ 支持DMA操作； ◆ 支持数据保护模式； ◆ 可编程R/W脉冲时序；
USB2.0	2	芯片具有2路USB2.0接口。其中一路支持主机和从机功能，完全兼容USB2.0协议。另一路接口支持非OTG主模式。该模块主要性能特征如下： <ul style="list-style-type: none"> ◆ 软件可配置为OTG1.3或OTG2.0操作模式； ◆ 支持以下速度： <ul style="list-style-type: none"> 高速（HS, 480-Mbps）； 全速（FS, 12-Mbps）； 低速（LS, 1.5-Mbps）模式； ◆ 支持多达7个双向端点，包括控制端点0； ◆ 支持多达14个主通道； ◆ 支持SRP协议及HNP协议；

模块名称	模块数量	模块功能
		<ul style="list-style-type: none"> ◆ 集成内部DMA;
QSPI	1	QSPI模块可做为串行主设备使用。该模块主要性能特征如下： <ul style="list-style-type: none"> ◆ 支持DMA传输模式; ◆ 支持最高50MHz速率; ◆ 支持4种SPI操作模式; ◆ 支持全双工模式; ◆ 可编程MSB或LSB; ◆ 支持最多2个外部从设备;
SPI	2	芯片提供了2路SPI（SPI0-SPI1）接口，2个SPI控制器的结构和功能完全相同。可以配置为spi主控设备（master）或者配置为spi从设备（slave）。发送字长、位顺序、等都可以配置。模块主要由发送/接收FIFO、主控制器、从设备控制器、时钟产生模块及同步逻辑组成。该模块最高支持50MHz传输速率。
UART	4	芯片提供了4路UART接口，其中一个支持流量控制功能。 该模块具备如下性能特征： <ul style="list-style-type: none"> ◆ 收发FIFO深度为16; ◆ 可编程的帧长度，奇偶校验及停止位长度可配置; ◆ 波特率可配置;
Timer	4	芯片内部集成4路32位定时器。该定时器具有如下性能特征： <ul style="list-style-type: none"> ◆ 三种计数模式：自由运行，周期计数，单次计数; ◆ 4个独立32bit递减计数器; ◆ 4个独立中断信号; ◆ 4组输入时钟捕捉管脚;
RTC	1	RTC可用于提供基本的报警功能或作为计数器使用。该模块具有以下技术特征： <ul style="list-style-type: none"> ◆ 支持年/日/小时/分/秒/毫秒; ◆ 支持时间精度补偿; ◆ 支持定时值初始化; ◆ 25℃下日时间偏差为1s; ◆ 支持时间报警功能;
I ² C	4	芯片提供了4个I ² C（I ² C0-I ² C3）接口，4个I ² C控制器的结构和功能完全相同。提供标准模式，快速模式，高速模式三种不同的工作模式，支持7位或10位寻址，支持主从模式。
I ² S	1	芯片内集成了I ² S音频数据传输处理模块。该模块



模块名称	模块数量	模块功能
		是4线接口 (WS, SCLK, SD_IN, SD_OUT), 支持标准I ² S协议。该芯片的I ² S最大支持24位数据位宽的数据传输且只能作为主机使用。
1553B	1	芯片内部集成一通道的1553B总线控制器, 支持BC、RT 和 BM 三种工作模式, 支持完整的MIL-STD-1553B协议, 数据传输速率1Mbps和10Mbps可配置, 存储器布局 and 寄存器设置同BU-61580兼容。
GPIO	1	GPIO模块特性如下: <ul style="list-style-type: none"> ◆ 包含64个独立可配置GPIO信号; ◆ 每个信号分别由数据寄存器和数据方向寄存器对应位控制; ◆ GPIO[31:0]支持外部中断触发; ◆ 中断支持上升沿/下降沿/高电平/低电平四种触发模式。
CAN	2	芯片包含2路CAN总线控制器。该控制器兼容CAN 2.0B协议, 支持BasicCAN和PeliCAN模式, 这两种模式可以通过时钟分频寄存器选择。在BasicCAN和PeliCAN两种模式下寄存器的映射有所不同。
SM4	1	芯片集成SM4硬件加密模块, 具有以下技术特征: <ul style="list-style-type: none"> ◆ 支持SM4加、解密功能; ◆ 支持以下几种模式: <ul style="list-style-type: none"> - ECB (Electronic codebook); - CBC (Cipher-block chaining); - CFG (Cipher feedback); - OFB (Output feedback); - CTR (Counter mode)。
SAR ADC	1	芯片集成逐次逼近式模数转换器 (SAR ADC)。该ADC为12位采样精度, 支持1MSPS的低速模式或5MSPS的高速模式。 <ul style="list-style-type: none"> ◆ DNL: +/-1.5 LSB, INL: +/-3 LSB; ◆ 数据率: 1MSPS/5MSPS; ◆ 模拟输入范围: VREFH到VREFL; ◆ 2通道单端或差分模拟输入。
EFUSE memory	1	128 Byte Efuse 控制器及存储单元。
Bootrom for ARM	1	该模块存储片内固化的ARM Bootloader程序。
Watchdog	1	芯片内部集成看门狗模块, 看门狗模块由一个16位向下计数器组成, 具有可编程超时间隔, 能够在超时产生中断和复位信号, 可以用于在系统出现故障时, 对芯片进行复位。
PVT sensor	1	芯片集成电压、温度传感器, 用以采集芯片电压、

模块名称	模块数量	模块功能
		温度信息。



2. 封装和信号定义

2.1 封装信息

- 封装形式为 FCBGA896, Package size 为 25mm*25mm, Ball pitch 为 0.8 mm;
- 其外形如图 2-1, 2-2 所示;
- 表 2-1 为封装尺寸说明。

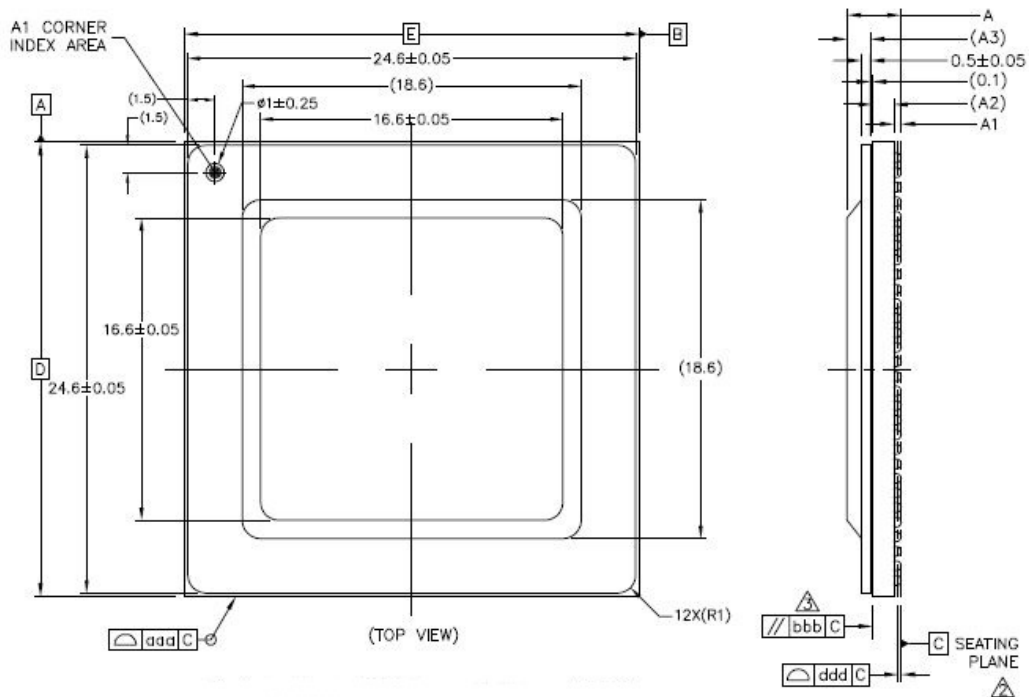


图 2-1 Yulong810A 芯片 FCBGA896 封装外形图

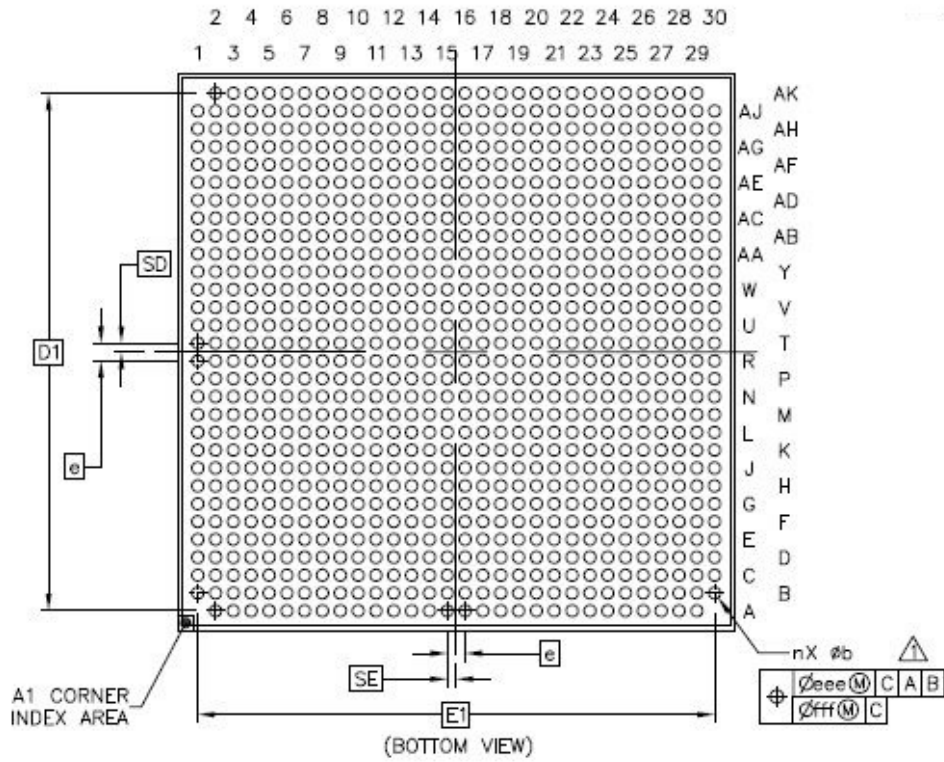


图 2-2 FCBGA896 封装外形图

表 2-1 FCBGA896 封装尺寸说明

符号	最小值	典型值	最大值
A			3.18
A1	0.36		0.46
A2		1.17	REF
A3		1.3	REF
D		25	BSC
E		25	BSC
b	0.44	—	0.64
e		0.8	BSC
n		896	
D1		23.2	BSC

E1		23.2	BSC
SD		0.4	BSC
SE		0.4	BSC
aaa		0.15	
bbb		0.25	
ddd		0.2	
eee		0.25	
fff		0.1	

注：尺寸数据单位：毫米

2.2 封装信号引脚定义

表 2-2 芯片引脚信号表

类别	引脚号	引脚名及复用	功能描述	I/O	引脚电平
Global (5)	D26	TEST_MODE	测试模式，高有效	I	
	F25	BOOT_SEL0	0: A9 活动, 1: A9 活动	I	
	E24	BOOT_SEL1	保留，输入高	I	
	D25	BOOT_SEL2	0: ROM boot, 1: EMI boot	I	
	D24	RESETN	芯片复位，低有效	I	
UART-0 (2)	F24	UART0_RXD*	UART0 接收	I/O	
		I2C3_SCL	I2C 3 时钟		
		2ND_GPIO33	第 2 组 GPIO33		
	F23	UART0_TXD*	UART0 发送	I/O	
		I2C3_SDA	I ² C 3 数据		
		2ND_GPIO34	第 2 组 GPIO34		
UART-1 (2)	E23	UART1_RXD*	UART1 接收	I/O	
		CAN1_RXD	CAN1 接收		
		2ND_GPIO35	第 2 组 GPIO35		
	D23	UART1_TXD*	UART1 发送	I/O	
		CAN1_TXD	CAN1 发送		
		2ND_GPIO36	第 2 组 GPIO36		
UART-2	E22	UART2_RXD*	UART2 接收	I/O	

(2)	D22	SPI1_SCLK	SPI1 时钟	I/O
		2ND_GPIO37	第 2 组 GPIO37	
		UART2_TXD*	UART2 发送	
		SPI1_CSN0	SPI1 片选	
		2ND_GPIO38	第 2 组 GPIO38	
UART-3 (2)	F22	UART3_RXD*	UART3 接收	I/O
		SPI1_MISO	SPI1 主入从出	
		2ND_GPIO39	第 2 组 GPIO39	
	F21	UART3_TXD*	UART3 发送	I/O
		SPI1_MOSI	SPI1 主出从入	
2ND_GPIO40	第 2 组 GPIO40			
I2C-0 (2)	A12	I2C0_SCL*	I ² C0 时钟	I/O
		2ND_GPIO41	定时器 0 输入信号	
		TIMER_IN0	第 2 组 GPIO41	
	A13	I2C0_SDA*	I ² C0 数据	I/O
		2ND_GPIO42	第 2 组 GPIO42	
TIMER_IN1	定时器 1 输入信号			
I2C-1 (2)	A11	I2C1_SCL*	I ² C1 时钟	I/O
		UART0_CTSn	UART0 发送允许	
		TRACECLK	A9 trace port clk 信号	
	B11	I2C1_SDA*	I ² C1 数据	I/O
		UART0_RTSn	UART 发送请求	
TRACECTL	A9 trace port ctl 信号			
SPI-0 (4)	D20	SPI0_SCLK*	SPI0 时钟	I/O
		2ND_GPIO43	第 2 组 GPIO43	
	D21	SPI0_CSN*	SPI0 片选	I/O
		2ND_GPIO44	第 2 组 GPIO44	
	E20	SPI0_MISO*	SPI0 主入从出	I/O
		2ND_GPIO45	第 2 组 GPIO45	
F19	SPI0_MOSI*	SPI0 主出从入	I/O	
	2ND_GPIO46	第 2 组 GPIO46		
QXHW (11)	F20	QXHW_CLK*	1553B 时钟	I/O
		2ND_GPIO47	第 2 组 GPIO47	
	E19	QXHW_RXA*	1553B 通道 A 接收	I/O
		2ND_GPIO48	第 2 组 GPIO48	
	D19	QXHW_RXA_N*	1553B 通道 A 接收	I/O
		2ND_GPIO49	第 2 组 GPIO49	
	E18	QXHW_RXB*	1553B 通道 B 接收	I/O
		2ND_GPIO50	第 2 组 GPIO50	
D18	QXHW_RXB_N*	1553B 通道 B 接收	I/O	
	2ND_GPIO51	第 2 组 GPIO51		

	F18	QXHW_TXA*	1553B 通道 A 发送	I/O	
		2ND_GPIO52	第 2 组 GPIO52		
	E17	QXHW_TXA_N*	1553B 通道 A 发送	I/O	
		2ND_GPIO53	第 2 组 GPIO53		
	D17	QXHW_TXA_INH*	1553B 通道 A 发送禁止	I/O	
		2ND_GPIO54	第 2 组 GPIO54		
	E16	QXHW_TXB*	1553B 通道 B 发送	I/O	
		2ND_GPIO55	第 2 组 GPIO55		
	D16	QXHW_TXB_N*	1553B 通道 B 发送	I/O	
		2ND_GPIO56	第 2 组 GPIO56		
	F16	QXHW_TXB_INH*	1553B 通道 B 发送禁止	I/O	
		2ND_GPIO57	第 2 组 GPIO57		
QSPI (6)	E12	QSPI_SCLK*	QSPI 时钟	I/O	
		2ND_GPIO58	第 2 组 GPIO58		
	F10	QSPI_CSN0*	QSPI 片选	I/O	
		2ND_GPIO59	第 2 组 GPIO59		
	D12	QSPI_MOSI*	QSPI 主出从入信号	I/O	
		2ND_GPIO60	第 2 组 GPIO60		
	F12	QSPI_MISO*	QSPI 主入从出信号	I/O	
		2ND_GPIO61	第 2 组 GPIO61		
	D11	QSPI_WPN*	QSPI 写保护	I/O	
		2ND_GPIO62	第 2 组 GPIO62		
	E11	QSPI_HOLDN*	QSPI 保持信号	I/O	
		2ND_GPIO63	第 2 组 GPIO63		
I2S (4)	C15	I2S_SCLK*	I2S 位时钟输出	I/O	
		I2C2_SCL	I ² C2 时钟		
	A15	I2S_LRCK*	I2S 帧时钟输出	I/O	
		I2C2_SDA	I ² C2 数据		
	B14	I2S_SDI*	I2S 输入信号	I/O	
		PWM_OUT0	PWM 信号输出 0		
	A14	I2S_SDO*	I2S 输出信号	I/O	
		PWM_OUT1	PWM 信号输出 1		
CAN-0 (2)	B13	CAN0_RXD*	CAN0 总线接收	I/O	
		NF_CE[2]	NAND FLASH 片选 2		
		EMI_UBN			
	C13	CAN0_TXD*	CAN0 总线发送	O	
		NF_CE[3]	NAND FLASH 片选 3		
		EMI_LBN	未知		
GPIO (8)	E15	GPIO_PIN0*	第一组 GPIO0	I/O	
		EXT_IRQ0	外部中断 0		
		BOOT_2ND[0]	2nd Boot 配置:		



			0x0: UART; 0x1: SD Card; 0x2: eMMC Card; 0x3: QSPI Nor Flash; 0x4: Nand Flash; 0x5-0xFF: 保留;		
D15	GPIO_PIN1*	第一组 GPIO1	I/O		
	EXT_IRQ1	外部中断 1			
	BOOT_2ND[1]	参考 BOOT_2ND[0]			
C14	GPIO_PIN2*	第一组 GPIO2	I/O		
	EXT_IRQ2	外部中断 2			
	BOOT_2ND[2]	参考 BOOT_2ND[0]			
D14	GPIO_PIN3*	第一组 GPIO3	I/O		
	EXT_IRQ3	外部中断 3			
	BOOT_2ND[3]	参考 BOOT_2ND[0]			
E14	GPIO_PIN4*	第一组 GPIO4	I/O		
	WDT_OUT	芯片看门狗复位输出信号			
	BOOT_2ND[4]	参考 BOOT_2ND[0]			
F14	GPIO_PIN5*	第一组 GPIO5	I/O		
	QSPI_CSN1	QSPI 片选 1			
	BOOT_2ND[5]	参考 BOOT_2ND[0]			
E13	GPIO_PIN6*	第一组 GPIO6	I/O		
	SPI0_CSN1	SPI0 片选 1			
	BOOT_2ND[6]	参考 BOOT_2ND[0]			
D13	GPIO_PIN7*	第一组 GPIO7	I/O		
	SPI1_CSN1	SPI1 片选 1			
	BOOT_2ND[7]	参考 BOOT_2ND[0]			
B10	NF_CEN0*	Nand flash 片选信号 0	I/O		
	GPIO_PIN8	第一组 GPIO8			
	TRACE0	A9 trace 信号 0			
C10	NF_CEN1*	Nand flash 片选信号 1	I/O		
	GPIO_PIN9	第一组 GPIO9			
	TRACE1	A9 trace 信号 1			
A10	NF_ALE*	Nand flash 地址锁存使能信号	I/O		
	GPIO_PIN10	第一组 GPIO10			
	TRACE2	A9 trace 信号 2			
D10	NF_CLE*	Nand flash 命令锁存使能信号	I/O		
	GPIO_PIN11	第一组 GPIO11			
	TRACE3	A9 trace 信号 3			
E10	NF_REN*	Nand flash 读信号	I/O		
	GPIO_PIN12	第一组 GPIO12			

		TRACE4	A9 trace 信号 4		
	C11	NF_WEN*	Nand flash 写信号	I/O	
		GPIO_PIN13	第一组 GPIO13		
		TRACE5	A9 trace 信号 5		
	A9	NF_WPN*	Nand flash 写保护信号	I/O	
		GPIO_PIN14	第一组 GPIO14		
		TRACE6	A9 trace 信号 6		
	E9	NF_RBN*	Nand flash 忙状态信号	I/O	
		GPIO_PIN15	第一组 GPIO15		
		TRACE7	A9 trace 信号 7		
	C9	NF_IO0*	Nand flash 数据信号 0	I/O	
		GPIO_PIN16	第一组 GPIO16		
		TRACE8	A9 trace 信号 8		
	D9	NF_IO1*	Nand flash 数据信号 1	I/O	
		GPIO_PIN17	第一组 GPIO17		
		TRACE9	A9 trace 信号 9		
	F8	NF_IO2*	Nand flash 数据信号 2	I/O	
		GPIO_PIN18	第一组 GPIO18		
		TRACE10	A9 trace 信号 10		
	F7	NF_IO3*	Nand flash 数据信号 3	I/O	
		GPIO_PIN19	第一组 GPIO19		
		TRACE11	A9 trace 信号 11		
	E8	NF_IO4*	Nand flash 数据信号 4	I/O	
		GPIO_PIN20	第一组 GPIO20		
		TRACE12	A9 trace 信号 12		
	D8	NF_IO5*	Nand flash 数据信号 5	I/O	
		GPIO_PIN21	第一组 GPIO21		
		TRACE13	A9 trace 信号 13		
	C8	NF_IO6*	Nand flash 数据信号 6	I/O	
		GPIO_PIN22	第一组 GPIO22		
		TRACE14	A9 trace 信号 14		
	B8	NF_IO7*	Nand flash 数据信号 7	I/O	
		GPIO_PIN23	第一组 GPIO23		
		TRACE15	A9 trace 信号 15		
USB-0	C12	USB0_VBUS_VLDEN*		O	
		SDIO_VOLT_EN			
SDIO (3)	A7	SDIO_RESET_N*	设备复位信号输出	O	
	A8	SDIO_CARD_DETECT_N	卡发现信号, 低为与卡连接	I	
	B7	SDIO_WRITE_PROTECT	写保护信号, 低为写保护	I	
EMI (51)	G2	EMI_CSN0*	EMI 片选 0	I/O	
		GPIO_PIN24	第一组 GPIO24		

F5	EMI_CSN1*	EMI 片选 1	I/O
	GPIO_PIN25	第一组 GPIO25	
F2	EMI_CSN2*	EMI 片选 2	I/O
	GPIO_PIN26	第一组 GPIO26	
F1	EMI_CSN3*	EMI 片选 3	I/O
	GPIO_PIN27	第一组 GPIO27	
G4	EMI_OEN*	EMI 输出使能	I/O
	GPIO_PIN28	第一组 GPIO28	
G3	EMI_WEN*	EMI 写信号	I/O
	GPIO_PIN29	第一组 GPIO29	
H6	EMI_WAIT0*		I/O
	GPIO_PIN30	第一组 GPIO30	
H5	EMI_WAIT1*		I/O
	GPIO_PIN31	第一组 GPIO31	
G6	EMI_WAIT2*		I/O
	GPIO_PIN32	第一组 GPIO32	
G5	EMI_WAIT3*		I/O
	GPIO_PIN33	第一组 GPIO33	
G1	EMI_DQ0*	EMI 数据 0	I/O
	GPIO_PIN34	第一组 GPIO34	
H1	EMI_DQ1*	EMI 数据 1	I/O
	GPIO_PIN35	第一组 GPIO35	
H2	EMI_DQ2*	EMI 数据 2	I/O
	GPIO_PIN36	第一组 GPIO36	
H3	EMI_DQ3*	EMI 数据 3	I/O
	GPIO_PIN37	第一组 GPIO37	
H4	EMI_DQ4*	EMI 数据 4	I/O
	GPIO_PIN38	第一组 GPIO38	
J5	EMI_DQ5*	EMI 数据 5	I/O
	GPIO_PIN39	第一组 GPIO39	
J5	EMI_DQ6*	EMI 数据 6	I/O
	GPIO_PIN40	第一组 GPIO40	
J2	EMI_DQ7*	EMI 数据 7	I/O
	GPIO_PIN41	第一组 GPIO41	
J1	EMI_DQ8*	EMI 数据 8	I/O
	NF_IO[8]	Nand flash 数据信号 8	
K1	EMI_DQ9*	EMI 数据 9	I/O
	NF_IO[9]	Nand flash 数据信号 9	
K2	EMI_DQ10*	EMI 数据 10	I/O
	NF_IO[10]	Nand flash 数据信号 10	
K3	EMI_DQ11*	EMI 数据 11	I/O

		NF_IO[11]	Nand flash 数据信号 11		
K4		EMI_DQ12*	EMI 数据 12	I/O	
		NF_IO[12]	Nand flash 数据信号 12		
K5		EMI_DQ13*	EMI 数据 13	I/O	
		NF_IO[13]	Nand flash 数据信号 13		
K6		EMI_DQ14*	EMI 数据 14	I/O	
		NF_IO[14]	Nand flash 数据信号 14		
L6		EMI_DQ15*	EMI 数据 15	I/O	
		NF_IO[15]	Nand flash 数据信号 15		
L5		EMI_A0*	EMI 地址 0	I/O	
		GPIO_PIN42	第一组 GPIO42		
		BT1120_CLK	BT1120 时钟		
L4		EMI_A1*	EMI 地址 1	I/O	
		GPIO_PIN43	第一组 GPIO43		
		BT1120_D15	BT1120 数据 15		
L3		EMI_A2*	EMI 地址 2	I/O	
		GPIO_PIN44	第一组 GPIO44		
		BT1120_D14	BT1120 数据 14		
L2		EMI_A3*	EMI 地址 3	I/O	
		GPIO_PIN45	第一组 GPIO45		
		BT1120_D13	BT1120 数据 13		
M2		EMI_A4*	EMI 地址 4	I/O	
		GPIO_PIN46	第一组 GPIO46		
		BT1120_D12	BT1120 数据 12		
M3		EMI_A5*	EMI 地址 5	I/O	
		GPIO_PIN47	第一组 GPIO47		
		BT1120_D11	BT1120 数据 11		
M4		EMI_A6*	EMI 地址 6	I/O	
		GPIO_PIN48	第一组 GPIO48		
		BT1120_D10	BT1120 数据 10		
M5		EMI_A7*	EMI 地址 7	I/O	
		GPIO_PIN49	第一组 GPIO49		
		BT1120_D9	BT1120 数据 9		
M6		EMI_A8*	EMI 地址 8	I/O	
		GPIO_PIN50	第一组 GPIO50		
		BT1120_D8	BT1120 数据 8		
N5		EMI_A9*	EMI 地址 9	I/O	
		GPIO_PIN51	第一组 GPIO51		
		BT1120_D7	BT1120 数据 7		
N4		EMI_A10*	EMI 地址 10	I/O	
		GPIO_PIN52	第一组 GPIO52		

		BT1120_D6	BT1120 数据 6		
	N3	EMI_A11*	EMI 地址 11	I/O	
		GPIO_PIN53	第一组 GPIO53		
		BT1120_D5	BT1120 数据 5		
	P4	EMI_A12*	EMI 地址 12	I/O	
		GPIO_PIN54	第一组 GPIO54		
		BT1120_D4	BT1120 数据 4		
	P5	EMI_A13*	EMI 地址 13	I/O	
		GPIO_PIN55	第一组 GPIO55		
		BT1120_D3	BT1120 数据 3		
	P6	EMI_A14*	EMI 地址 14	I/O	
		GPIO_PIN56	第一组 GPIO56		
		BT1120_D2	BT1120 数据 2		
	R5	EMI_A15*	EMI 地址 15	I/O	
		GPIO_PIN57	第一组 GPIO57		
		BT1120_D1	BT1120 数据 1		
	R4	EMI_A16*	EMI 地址 16	I/O	
		GPIO_PIN58	第一组 GPIO58		
		BT1120_D0	BT1120 数据 0		
	T4	EMI_A17*	EMI 地址 17	I/O	
		GPIO_PIN59	第一组 GPIO59		
	T5	EMI_A18*	EMI 地址 18	I/O	
		GPIO_PIN60	第一组 GPIO60		
	T6	EMI_A19*	EMI 地址 19	I/O	
		GPIO_PIN61	第一组 GPIO61		
	V6	EMI_A20*	EMI 地址 20	I/O	
		GPIO_PIN62	第一组 GPIO62		
		TIMER_IN2	定时器输入 2		
	U5	EMI_A21*	EMI 地址 21	I/O	
		GPIO_PIN63	第一组 GPIO63		
		TIMER_IN3	定时器输入 3		
	U4	EMI_A22*	EMI 地址 22	I/O	
		2ND_GPIO32	第 2 组 GPIO32		
		USB0_VBUSVLD	未知		
	V4	EMI_A23*	EMI 地址 23	O	
		SEN_MCLK	未知		
	V3	EMI_A24*	EMI 地址 24	O	
		I2S_MCLK	I2S 主时钟输出		
		EMI_ADV	未知		
ARM	Y4	JTAG0_TCK	A9 JTAG clk 信号	I	
	W5	JTAG0_TMS	A9 JTAG tms 信号	I	



JTAG (5)	W4	JTAG0_TDI	A9 JTAG tdi 信号	I	
	V5	JTAG0_TDO	A9 JTAG tdo 信号	O	
	AA4	JTAG0_TRSTN	A9 JTAG 复位信号	I	
OSC (2)	L1	XTAL24M_IN	主晶振时钟输入	I	
	M1	XTAL24M_OUT	主晶振时钟输出	O	
ENET (27)	AE6	ENET_MII_TXCLK	以太网 MII 发送时钟	I	
	AE5	ENET_MDC		O	
	AF4	ENET_MDIO		I/O	
	AF5	ENET_RXCLK	以太网接收时钟	I	
	AG5	ENET_TXCLK	以太网发送时钟	O	
	AG4	ENET_CRS	PHY CRS 信号	I	
	AF6	ENET_COL	PHY 冲突信号, 高有效	I	
	AG6	ENET_RXER	PHY 接收错误, 高有效	I	
	AG7	ENET_RXDV	PHY 接收数据有效, 高有效	I	
	AE7	ENET_RXD0	以太网接收数据 0	I	
	AF8	ENET_RXD1	以太网接收数据 1	I	
	AE8	ENET_RXD2	以太网接收数据 2	I	
	AH8	ENET_RXD3	以太网接收数据 3	I	
	AG9	ENET_RXD4	以太网接收数据 4	I	
	AG8	ENET_RXD5	以太网接收数据 5	I	
	AE9	ENET_RXD6	以太网接收数据 6	I	
	AF9	ENET_RXD7	以太网接收数据 7	I	
	AG11	ENET_TXER	PHY 发送错误, 高有效	O	
	AE10	ENET_TXEN	PHY 发送数据使能, 高有效	O	
	AG10	ENET_TXD0	以太网发送数据 0	O	
	AF11	ENET_TXD1	以太网发送数据 1	O	
	AF12	ENET_TXD2	以太网发送数据 2	O	
	AE12	ENET_TXD3	以太网发送数据 3	O	
	AE11	ENET_TXD4	以太网发送数据 4	O	
	AF13	ENET_TXD5	以太网发送数据 5	O	
	AG13	ENET_TXD6	以太网发送数据 6	O	
	AG12	ENET_TXD7	以太网发送数据 7	O	
RTC (6)	B1	XTAL32K_IN	RTC 32K 时钟输入	I	
	C1	XTAL32K_OUT	RTC 32K 时钟输入	O	
	D1	RTC_RESETN	RTC 复位	I	
	E1	RTC_BUTTON			
	C2	SOC_ISO_EN			
	D2	SOC_PMIC_EN			
SDIO (11)	A6	SDIO_CCLK_OUT	SDIO 时钟输出	O	
	C7	SDIO_CCMD	SDIO 命令输出, 高有效	O	
	C5	SDIO_CDATA0	SDIO 数据 0	I/O	



	D5	SDIO_CDATAB1	SDIO 数据 1	I/O	
	F6	SDIO_CDATAB2	SDIO 数据 2	I/O	
	E6	SDIO_CDATAB3	SDIO 数据 3	I/O	
	D6	SDIO_CDATAB4	SDIO 数据 4	I/O	
	C6	SDIO_CDATAB5	SDIO 数据 5	I/O	
	D7	SDIO_CDATAB6	SDIO 数据 6	I/O	
	E7	SDIO_CDATAB7	SDIO 数据 7	I/O	
	B6	SDIO_DATA_STROBE	SDIO 数据选通信号	I	
MIPI CSI2 (11)	AK11	MIPI_CK_N	MIPI 差分时钟 N		
	AJ11	MIPI_CK_P	MIPI 差分时钟 P		
	AK9	MIPI_D0_N	MIPI 差分数据 0N		
	AJ9	MIPI_D0_P	MIPI 差分数据 0P		
	AK10	MIPI_D1_N	MIPI 差分数据 1N		
	AJ10	MIPI_D1_P	MIPI 差分数据 1P		
	AK12	MIPI_D2_N	MIPI 差分数据 2N		
	AJ12	MIPI_D2_P	MIPI 差分数据 2P		
	AK13	MIPI_D3_N	MIPI 差分数据 3N		
	AJ13	MIPI_D3_P	MIPI 差分数据 3P		
	AH9	MIPI_REXT			
Camera Link (43)	AK19	CMLINK_RX_X0_N	Cameralink X 轴接收差分数据 0N	I	
	AJ19	CMLINK_RX_X0_P	Cameralink X 轴接收差分数据 0P	I	
	AK18	CMLINK_RX_X1_N	Cameralink X 轴接收差分数据 1N	I	
	AJ18	CMLINK_RX_X1_P	Cameralink X 轴接收差分数据 1P	I	
	AK16	CMLINK_RX_XCLK_N	Cameralink X 轴接收差分时钟 N	I	
	AJ16	CMLINK_RX_XCLK_P	Cameralink X 轴接收差分时钟 P	I	
	AK17	CMLINK_RX_X2_N	Cameralink X 轴接收差分数据 2N	I	
	AJ17	CMLINK_RX_X2_P	Cameralink X 轴接收差分数据 2P	I	
	AK15	CMLINK_RX_X3_N	Cameralink X 轴接收差分数据 3N	I	
	AJ15	CMLINK_RX_X3_P	Cameralink X 轴接收差分数据 3P	I	
	AF18	CMLINK_SerTC_OUT_P	Cameralink 发送至数字相机的差分串行通信 P	O	
	AG18	CMLINK_SerTC_OUT_N	Cameralink 发送至数字相机的差分串行通信 N	O	
	AG19	CMLINK_SerTFG_INM	数字相机发送至 Cameralink 的差分串行通信 M	I	
	AF19	CMLINK_SerTFG_INP	数字相机发送至 Cameralink 的差分串行通信 P	I	
	AE15	CMLINK_RTUNE			
	AG17	CMLINK_CC1_OUT_N	Cameralink 差分控制信号 1N	O	
AF17	CMLINK_CC1_OUT_P	Cameralink 差分控制信号 1P	O		
AG16	CMLINK_CC2_OUT_N	Cameralink 差分控制信号 2N	O		



	AF16	CMLINK_CC2_OUT_P	Cameralink 差分控制信号 2P	O	
	AG15	CMLINK_CC3_OUT_N	Cameralink 差分控制信号 3N	O	
	AF15	CMLINK_CC3_OUT_P	Cameralink 差分控制信号 3P	O	
	AG14	CMLINK_CC4_OUT_N	Cameralink 差分控制信号 4N	O	
	AF14	CMLINK_CC4_OUT_P	Cameralink 差分控制信号 4P	O	
	AG25	CMLINK_RX_Y0_N	Cameralink Y 轴接收差分数据 0N	I	
	AF25	CMLINK_RX_Y0_P	Cameralink Y 轴接收差分数据 0P	I	
	AG24	CMLINK_RX_Y1_N	Cameralink Y 轴接收差分数据 1N	I	
	AF24	CMLINK_RX_Y1_P	Cameralink Y 轴接收差分数据 1P	I	
	AG23	CMLINK_RX_YCLK_N	Cameralink Y 轴接收差分时钟 N	I	
	AF23	CMLINK_RX_YCLK_P	Cameralink Y 轴接收差分时钟 P	I	
	AG22	CMLINK_RX_Y2_N	Cameralink Y 轴接收差分数据 2N	I	
	AF22	CMLINK_RX_Y2_P	Cameralink Y 轴接收差分数据 2P	I	
	AG21	CMLINK_RX_Y3_N	Cameralink Y 轴接收差分数据 3N	I	
	AF21	CMLINK_RX_Y3_P	Cameralink Y 轴接收差分数据 3P	I	
	AK25	CMLINK_RX_Z0_N	Cameralink Z 轴接收差分数据 0N	I	
	AJ25	CMLINK_RX_Z0_P	Cameralink Z 轴接收差分数据 0P	I	
	AK24	CMLINK_RX_Z1_N	Cameralink Z 轴接收差分数据 1N	I	
	AJ24	CMLINK_RX_Z1_P	Cameralink Z 轴接收差分数据 1P	I	
	AJ23	CMLINK_RX_ZCLK_N	Cameralink Z 轴接收差分时钟 N	I	
	AK23	CMLINK_RX_ZCLK_P	Cameralink Z 轴接收差分时钟 P	I	
	AK22	CMLINK_RX_Z2_N	Cameralink Z 轴接收差分数据 2N	I	
	AJ22	CMLINK_RX_Z2_P	Cameralink Z 轴接收差分数据 2P	I	
	AK21	CMLINK_RX_Z3_N	Cameralink Z 轴接收差分数据 3N	I	
	AJ21	CMLINK_RX_Z3_P	Cameralink Z 轴接收差分数据 3P	I	
USB-0 (5)	C4	USB0_ID	USB0 OTG ID 检测信号		
	A3	USB0_VBUS	USB0 电源线, 接 5V 电源输入	I	
	B4	USB0_DP	USB0 差分数据信号正端		
	A4	USB0_DM	USB0 差分数据信号负端		
	A5	USB0_REXT			
USB-1 (3)	B2	USB1_DP	USB1 差分数据信号正端		
	A2	USB1_DM	USB1 差分数据信号负端		
	C3	USB1_REXT			
PCIe (19)	AJ5	PCIe_REF_CLK_P	PCIe 差分参考时钟输入 P	I	
	AK5	PCIe_REF_CLK_M	PCIe 差分参考时钟输入 M	I	
		PCIe_REXT			
	AE2	PCIe_TX0_P	PCIe 差分数据发送 0P	O	
	AE1	PCIe_TX0_M	PCIe 差分数据发送 0M	O	
	AJ3	PCIe_RX0_P	PCIe 差分数据接收 0P	I	
	AK3	PCIe_RX0_M	PCIe 差分数据接收 0M	I	
AF2	PCIe_TX1_P	PCIe 差分数据发送 1P	O		



	AF1	PCIE_TX1_M	PCIE 差分数据发送 1M	O	
	AJ4	PCIE_RX1_P	PCIE 差分数据接收 1P	I	
	AK4	PCIE_RX1_M	PCIE 差分数据接收 2M	I	
	AG2	PCIE_TX2_P	PCIE 差分数据发送 2P	O	
	AG1	PCIE_TX2_M	PCIE 差分数据发送 2M	O	
	AJ6	PCIE_RX2_P	PCIE 差分数据接收 2P	I	
	AK6	PCIE_RX2_M	PCIE 差分数据接收 2M	I	
	AH2	PCIE_TX3_P	PCIE 差分数据发送 3P	O	
	AH1	PCIE_TX3_M	PCIE 差分数据发送 3M	O	
	AJ7	PCIE_RX3_P	PCIE 差分数据接收 3P	I	
AK7	PCIE_RX3_M	PCIE 差分数据接收 3M	I		
RapidIO (20)	P2	SRIO_RX0_P	RapidIO 差分数据接收 0P	I	
	P1	SRIO_RX0_M	RapidIO 差分数据接收 0M	I	
	W2	SRIO_TX0_P	RapidIO 差分数据发送 0P	O	
	W1	SRIO_TX0_M	RapidIO 差分数据发送 0M	O	
	R2	SRIO_RX1_P	RapidIO 差分数据接收 1P	I	
	R1	SRIO_RX1_M	RapidIO 差分数据接收 1M	I	
	Y2	SRIO_TX1_P	RapidIO 差分数据发送 1P	O	
	Y1	SRIO_TX1_M	RapidIO 差分数据发送 1M	O	
	T2	SRIO_RX2_P	RapidIO 差分数据接收 2P	I	
	T1	SRIO_RX2_M	RapidIO 差分数据接收 2M	I	
	AB2	SRIO_TX2_P	RapidIO 差分数据发送 2P	O	
	AB1	SRIO_TX2_M	RapidIO 差分数据发送 2M	O	
	U2	SRIO_RX3_P	RapidIO 差分数据接收 3P	I	
	U1	SRIO_RX3_M	RapidIO 差分数据接收 3M	I	
	AC2	SRIO_TX3_P	RapidIO 差分数据发送 3P	O	
	AC1	SRIO_TX3_M	RapidIO 差分数据发送 3M	O	
	AA2	SRIO_REF_CLK_P	RapidIO 差分参考时钟输入 P	I	
AA1	SRIO_REF_CLK_M	RapidIO 差分参考时钟输入 M	I		
AA3	SRIO_RESREF				
	J11	LDO_VIP8O			
Display (20)	A26	LVDS_TX_TA0N	LVDS 差分数据通道 0N	O	
	B26	LVDS_TX_TA0P	LVDS 差分数据通道 0P	O	
	A25	LVDS_TX_TA1N	LVDS 差分数据通道 1N	O	
	B25	LVDS_TX_TA1P	LVDS 差分数据通道 1P	O	
	A23	LVDS_TX_TA2N	LVDS 差分数据通道 2N	O	
	B23	LVDS_TX_TA2P	LVDS 差分数据通道 2P	O	
	A22	LVDS_TX_TA3N	LVDS 差分数据通道 3N	O	
	B22	LVDS_TX_TA3P	LVDS 差分数据通道 3P	O	
	A24	LVDS_TX_TAACLKN	LVDS 差分时钟通道 AAN	O	
	B24	LVDS_TX_TAACLKP	LVDS 差分时钟通道 AAP	O	

	A19	LVDS_TX_TABCLKN	LVDS 差分时钟通道 ABN	O	
	B19	LVDS_TX_TABCLKP	LVDS 差分时钟通道 ABP	O	
	A21	LVDS_TX_TA4N	LVDS 差分数据通道 4N	O	
	B21	LVDS_TX_TA4P	LVDS 差分数据通道 4P	O	
	A20	LVDS_TX_TA5N	LVDS 差分数据通道 5N	O	
	B20	LVDS_TX_TA5P	LVDS 差分数据通道 5P	O	
	A18	LVDS_TX_TA6N	LVDS 差分数据通道 6N	O	
	B18	LVDS_TX_TA6P	LVDS 差分数据通道 6P	O	
	A17	LVDS_TX_TA7N	LVDS 差分数据通道 7N	O	
	B17	LVDS_TX_TA7P	LVDS 差分数据通道 7P	O	
	C22	LVDS_TX_RTUNE			
DDR (172)	A28	PAD_MEM_DATA[0]	DDR 数据信号 0	I/O	
	A29	PAD_MEM_DATA[1]	DDR 数据信号 1	I/O	
	G26	PAD_MEM_DATA[10]	DDR 数据信号 10	I/O	
	E27	PAD_MEM_DATA[11]	DDR 数据信号 11	I/O	
	G28	PAD_MEM_DATA[12]	DDR 数据信号 12	I/O	
	D27	PAD_MEM_DATA[13]	DDR 数据信号 13	I/O	
	D28	PAD_MEM_DATA[14]	DDR 数据信号 14	I/O	
	G27	PAD_MEM_DATA[15]	DDR 数据信号 15	I/O	
	H25	PAD_MEM_DATA[16]	DDR 数据信号 16	I/O	
	H27	PAD_MEM_DATA[17]	DDR 数据信号 17	I/O	
	H28	PAD_MEM_DATA[18]	DDR 数据信号 18	I/O	
	J25	PAD_MEM_DATA[19]	DDR 数据信号 19	I/O	
	B28	PAD_MEM_DATA[2]	DDR 数据信号 2	I/O	
	K25	PAD_MEM_DATA[20]	DDR 数据信号 20	I/O	
	K26	PAD_MEM_DATA[21]	DDR 数据信号 21	I/O	
	K28	PAD_MEM_DATA[22]	DDR 数据信号 22	I/O	
	K27	PAD_MEM_DATA[23]	DDR 数据信号 23	I/O	
	F29	PAD_MEM_DATA[24]	DDR 数据信号 24	I/O	
	G29	PAD_MEM_DATA[25]	DDR 数据信号 25	I/O	
	G30	PAD_MEM_DATA[26]	DDR 数据信号 26	I/O	
	J29	PAD_MEM_DATA[27]	DDR 数据信号 27	I/O	
	K30	PAD_MEM_DATA[28]	DDR 数据信号 28	I/O	
	K29	PAD_MEM_DATA[29]	DDR 数据信号 29	I/O	
	C29	PAD_MEM_DATA[3]	DDR 数据信号 3	I/O	
	M30	PAD_MEM_DATA[30]	DDR 数据信号 30	I/O	
M29	PAD_MEM_DATA[31]	DDR 数据信号 31	I/O		
W29	PAD_MEM_DATA[32]	DDR 数据信号 32	I/O		
V30	PAD_MEM_DATA[33]	DDR 数据信号 33	I/O		
U30	PAD_MEM_DATA[34]	DDR 数据信号 34	I/O		
V29	PAD_MEM_DATA[35]	DDR 数据信号 35	I/O		



T29	PAD_MEM_DATA[36]	DDR 数据信号 36	I/O
P30	PAD_MEM_DATA[37]	DDR 数据信号 37	I/O
N30	PAD_MEM_DATA[38]	DDR 数据信号 38	I/O
N29	PAD_MEM_DATA[39]	DDR 数据信号 39	I/O
D29	PAD_MEM_DATA[4]	DDR 数据信号 4	I/O
AD28	PAD_MEM_DATA[40]	DDR 数据信号 40	I/O
AC27	PAD_MEM_DATA[41]	DDR 数据信号 41	I/O
AC28	PAD_MEM_DATA[42]	DDR 数据信号 42	I/O
AC25	PAD_MEM_DATA[43]	DDR 数据信号 43	I/O
AB25	PAD_MEM_DATA[44]	DDR 数据信号 44	I/O
AA26	PAD_MEM_DATA[45]	DDR 数据信号 45	I/O
AA27	PAD_MEM_DATA[46]	DDR 数据信号 46	I/O
AA28	PAD_MEM_DATA[47]	DDR 数据信号 47	I/O
AE29	PAD_MEM_DATA[48]	DDR 数据信号 48	I/O
AD29	PAD_MEM_DATA[49]	DDR 数据信号 49	I/O
C30	PAD_MEM_DATA[5]	DDR 数据信号 5	I/O
AD30	PAD_MEM_DATA[50]	DDR 数据信号 50	I/O
AE30	PAD_MEM_DATA[51]	DDR 数据信号 51	I/O
AA29	PAD_MEM_DATA[52]	DDR 数据信号 52	I/O
AA30	PAD_MEM_DATA[53]	DDR 数据信号 53	I/O
Y30	PAD_MEM_DATA[54]	DDR 数据信号 54	I/O
W30	PAD_MEM_DATA[55]	DDR 数据信号 55	I/O
AH27	PAD_MEM_DATA[56]	DDR 数据信号 56	I/O
AG28	PAD_MEM_DATA[57]	DDR 数据信号 57	I/O
AG27	PAD_MEM_DATA[58]	DDR 数据信号 58	I/O
AH28	PAD_MEM_DATA[59]	DDR 数据信号 59	I/O
F30	PAD_MEM_DATA[6]	DDR 数据信号 6	I/O
AE28	PAD_MEM_DATA[60]	DDR 数据信号 60	I/O
AD26	PAD_MEM_DATA[61]	DDR 数据信号 61	I/O
AD25	PAD_MEM_DATA[62]	DDR 数据信号 62	I/O
AD27	PAD_MEM_DATA[63]	DDR 数据信号 63	I/O
AK29	PAD_MEM_DATA[64]	DDR 数据信号 64	I/O
AJ27	PAD_MEM_DATA[65]	DDR 数据信号 65	I/O
AK27	PAD_MEM_DATA[66]	DDR 数据信号 66	I/O
AK28	PAD_MEM_DATA[67]	DDR 数据信号 67	I/O
AH30	PAD_MEM_DATA[68]	DDR 数据信号 68	I/O
AG29	PAD_MEM_DATA[69]	DDR 数据信号 69	I/O
E30	PAD_MEM_DATA[7]	DDR 数据信号 7	I/O
AG30	PAD_MEM_DATA[70]	DDR 数据信号 70	I/O
AF30	PAD_MEM_DATA[71]	DDR 数据信号 71	I/O
G25	PAD_MEM_DATA[8]	DDR 数据信号 8	I/O



F26	PAD_MEM_DATA[9]	DDR 数据信号 9	I/O
B29	PAD_MEM_DQS_N[0]	DDR 数据采用信号 0N	I/O
F28	PAD_MEM_DQS_N[1]	DDR 数据采用信号 1N	I/O
J27	PAD_MEM_DQS_N[2]	DDR 数据采用信号 2N	I/O
H30	PAD_MEM_DQS_N[3]	DDR 数据采用信号 3N	I/O
R29	PAD_MEM_DQS_N[4]	DDR 数据采用信号 4N	I/O
AB28	PAD_MEM_DQS_N[5]	DDR 数据采用信号 5N	I/O
AB30	PAD_MEM_DQS_N[6]	DDR 数据采用信号 6N	I/O
AF27	PAD_MEM_DQS_N[7]	DDR 数据采用信号 7N	I/O
AJ29	PAD_MEM_DQS_N[8]	DDR 数据采用信号 8N	I/O
B30	PAD_MEM_DQS_P[0]	DDR 数据采用信号 0P	I/O
F27	PAD_MEM_DQS_P[1]	DDR 数据采用信号 1P	I/O
J28	PAD_MEM_DQS_P[2]	DDR 数据采用信号 2P	I/O
J30	PAD_MEM_DQS_P[3]	DDR 数据采用信号 3P	I/O
R30	PAD_MEM_DQS_P[4]	DDR 数据采用信号 4P	I/O
AB27	PAD_MEM_DQS_P[5]	DDR 数据采用信号 5P	I/O
AB29	PAD_MEM_DQS_P[6]	DDR 数据采用信号 6P	I/O
AF28	PAD_MEM_DQS_P[7]	DDR 数据采用信号 7P	I/O
AJ30	PAD_MEM_DQS_P[8]	DDR 数据采用信号 8P	I/O
D30	PAD_MEM_DM[0]	DDR 输入数据屏蔽信号 0	I/O
E28	PAD_MEM_DM[1]	DDR 输入数据屏蔽信号 1	I/O
J26	PAD_MEM_DM[2]	DDR 输入数据屏蔽信号 2	I/O
L30	PAD_MEM_DM[3]	DDR 输入数据屏蔽信号 3	I/O
T30	PAD_MEM_DM[4]	DDR 输入数据屏蔽信号 4	I/O
AB26	PAD_MEM_DM[5]	DDR 输入数据屏蔽信号 5	I/O
AC30	PAD_MEM_DM[6]	DDR 输入数据屏蔽信号 6	I/O
AE27	PAD_MEM_DM[7]	DDR 输入数据屏蔽信号 7	I/O
AH29	PAD_MEM_DM[8]	DDR 输入数据屏蔽信号 8	I/O
AA25	PAD_MEM_CAL		
W27	PAD_MEM_ADDRESS[0]	DDR 地址信号 0	I/O
N26	PAD_MEM_ADDRESS[1]	DDR 地址信号 1	I/O
V26	PAD_MEM_ADDRESS[10]	DDR 地址信号 10	I/O
Y28	PAD_MEM_ADDRESS[11]	DDR 地址信号 11	I/O
R26	PAD_MEM_ADDRESS[12]	DDR 地址信号 12	I/O
M25	PAD_MEM_ADDRESS[13]	DDR 地址信号 13	I/O
V25	PAD_MEM_ADDRESS[14]	DDR 地址信号 14	I/O
P25	PAD_MEM_ADDRESS[15]	DDR 地址信号 15	I/O
M26	PAD_MEM_ADDRESS[16]	DDR 地址信号 16	I/O
W28	PAD_MEM_ADDRESS[2]	DDR 地址信号 2	I/O
N25	PAD_MEM_ADDRESS[3]	DDR 地址信号 3	I/O
W25	PAD_MEM_ADDRESS[4]	DDR 地址信号 4	I/O



	M28	PAD_MEM_ADDRESS[5]	DDR 地址信号 5	I/O	
	Y25	PAD_MEM_ADDRESS[6]	DDR 地址信号 6	I/O	
	L28	PAD_MEM_ADDRESS[7]	DDR 地址信号 7	I/O	
	Y27	PAD_MEM_ADDRESS[8]	DDR 地址信号 8	I/O	
	M27	PAD_MEM_ADDRESS[9]	DDR 地址信号 9	I/O	
	U27	PAD_MEM_CLK_N[0]	DDR 差分时钟信号 0N	I/O	
	T27	PAD_MEM_CLK_N[1]	DDR 差分时钟信号 1N	I/O	
	R27	PAD_MEM_CLK_N[2]	DDR 差分时钟信号 2N	I/O	
	P27	PAD_MEM_CLK_N[3]	DDR 差分时钟信号 3N	I/O	
	U28	PAD_MEM_CLK_P[0]	DDR 差分时钟信号 0P	I/O	
	T28	PAD_MEM_CLK_P[1]	DDR 差分时钟信号 1P	I/O	
	R28	PAD_MEM_CLK_P[2]	DDR 差分时钟信号 2P	I/O	
	P28	PAD_MEM_CLK_P[3]	DDR 差分时钟信号 3P	I/O	
	T26	PAD_MEM_ODT	DDR 片上终端使能信号, 高有效	O	
	V28	PAD_MEM_WE_N	DDR 写使能信号, 低有效	O	
	R25	PAD_MEM_CS_N	DDR 片选信号, 低有效	O	
	N27	PAD_MEM_CAS_N	DDR 列地址有效信号, 低有效	O	
	T25	PAD_MEM_RAS_N	DDR 行地址有效信号, 低有效	O	
	W26	PAD_MEM_BANK[0]	DDR BANK 地址 0	O	
	N28	PAD_MEM_BANK[1]	DDR BANK 地址 1	O	
	V27	PAD_MEM_BANK[2]	DDR BANK 地址 2	O	
	U25	PAD_MEM_CKE	DDR 时钟使能, 高有效	O	
	L27	PAD_MEM_RST_N	DDR 复位, 低有效		
	L25	PAD_MEM_RETEN_N			
	E3	ADC_A0			
	E4	ADC_B0			
Tsensor	E2	TS_VCM			
EFUSE	K7	VQPS18_EFUSE			

注: 带*号标识的为复用引脚的默认功能。

2.3 封装电源引脚定义

封装电源引脚定义如表 2-3 所示。

表 2-3 封装电源引脚定义表

#	引脚名	引脚号	信号说明
1	VDD08_CPU	P9,P11, R8,R10, T9, U8,U10, V9,V11,	0.8V CPU/CPU1 PLL/CPU2 PLL 电源

#	引脚名	引脚号	信号说明
		W8,W10,W12	
2	VDD08_SOC	H13,H15,H17,H23, J10,J12,J14,J16,J18,J20,J22, K9,K11,K19,K21, L10,L12,L20, M9,M11, N8,N12, R12, T13,T15,T17, U14,U16,U18, V13,V15,V17,V19, W14,W16,W18,W20, Y9,Y11,Y13,Y15,Y17,Y19, AA10,AA12,AA14,AA16,AA18,AA20, AB13,AB17,AB19	0.8V SOC/SOC PLL/VIP PLL/VPU PLL/DISPLAY PLL/HISS PLL/MIPI PLL 电源
3	VDD08_VIP	K13,K15,K17, L14,L16,L18, M13,M15,M17,M19, N14,N16,N18,N20, P13,P15,P17,P19, R14,R16,R18,R20	0.8V VIP 电源
4	PLL_AVDD_CPU	T12	1.8V CPU1/CPU2 PLL 电源
5	PLL_AVDD2_CPU1	T11	0.8V CPU1 PLL 电源
6	PLL_AVDD2_CPU2	U12	0.8V CPU2 PLL 电源
7	PLL_AVSS	H18,P10,T20,U11,U19,AC12	PLL 地
8	VDDIO_SOC	F4,F15,F17 G12,G14,G16, J4, M7, N6, P7, R6, U6, V7, W6	1.8V/3.3V SOC IO 电 源
9	PLL_AVDD	H19, N10, R19, AC13	1.8V SOC PLL/VIP PLL/VPU PLL/DISPLAY PLL/HISS PLL/MIPI PLL/AUD PLL 电源

#	引脚名	引脚号	信号说明
10	PLL_AVDD2_SOC	N11	0.8V SOC PLL 电源
11	PLL_AVDD2_VIP	T18	0.8V VIP PLL 电源
12	PLL_AVDD2_VPU	T19	0.8V VPU PLL 电源
13	PLL_AVDD2_DISPLAY	G18	0.8V DISPLAY PLL 电源
14	PLL_AVDD2_HSIO	AD12	0.8V HISS PLL 电源
15	PLL_AVDD2_TSEN	AD13	0.8V MIPI PLL 电源
16	PLL_AVDD2_AUD	N9	0.8V AUD PLL 电源
17	VDD08_DDR	L22, M21, N22, P21, R22, T21, U22, V21, W22, Y21, AA22, AB21,AB23	0.8V DDR/DDR PLL 电源
18	VDDIO_DDR	E26, G24, H26, J24, K23, L26, M23, P23,P26, R24, T23, U26, V23, Y23,Y26, AC24,AC26	1.2V/1.35V/1.5V DDR IO 电源
19	VSSIO_DDR	C28, E29, H24,H29, L23,L29, N23, P29, R23,	DDR IO 地

#	引脚名	引脚号	信号说明
		T24, U23,U29, W23, Y29, AA23, AB24, AC29, AD24, AE26, AF29, AJ28	
20	PAD_MEM_VREF[0]	K24	DDR 参考电压
21	PAD_MEM_VREF[1]	L24	DDR 参考电压
22	PAD_MEM_VREF[2]	M24	DDR 参考电压
23	PAD_MEM_VREF[3]	N24	DDR 参考电压
24	PAD_MEM_VREF[4]	P24	DDR 参考电压
25	PAD_MEM_VREF[5]	U24	DDR 参考电压
26	PAD_MEM_VREF[6]	V24	DDR 参考电压
27	PAD_MEM_VREF[7]	W24	DDR 参考电压
28	PAD_MEM_VREF[8]	Y24	DDR 参考电压
29	PAD_MEM_VREF[9]	AA24	DDR 参考电压
30	PLL_AVDD_DDR	U20	1.8V DDR PLL 电源
31	PLL_AVDD2_DDR	U21	0.8V DDR PLL 电源
32	AVDD08_PCIE	AB11	0.8V PCIE 电源
33	AVDD08_PCIE_TX0	AD8	0.8V PCIE VPTX0 电 源
34	AVDD08_PCIE_TX1	AD9	0.8V PCIE VPTX1 电 源
35	AVDD08_PCIE_TX2	AD10	0.8V PCIE VPTX2 电 源
36	AVDD08_PCIE_TX3	AD11	0.8V PCIE VPTX3 电 源
37	AVDD18_PCIE	AB10	1.8V PCIE IO 电源
38	PCIE_RESREF	AH5	PCIE 参考电压
39	AVDD08_SRIO	AA9	0.8V SRIO CM 及 SRIO 电源
40	AVDD08_SRIO_AVTT0	Y7	0.8V SRIO AVTT0 电 源
41	AVDD08_SRIO_AVTT1	AA7	0.8V SRIO AVTT1 电 源
42	AVDD08_SRIO_AVTT2	AB7	0.8V SRIO AVTT2 电



#	引脚名	引脚号	信号说明
			源
43	AVDD08_SRIO_AVTT3	AC7	0.8V SRIO AVTT3 电源
44	AVDD18_SRIO	AB9	1.8V SRIO CM 电源
45	SRIO_RESREF	AA3	RapidIO 参考电压
46	VDD08_LVDS	H21	0.8V LVDS 电源
47	AVDD18_LVDS	G20	1.8V LVDS 电源
48	AVDD25_LVDS	G22	2.5V LVDS 电源
49	AVSS_LVDS	A16,A27, B16,B27, C16,C17,C18,C19,C20,C21,C23,C24,C 25,C26,C27	LVDS C/IO 地
50	VDD08_MIPI	AB15, AC14	0.8V MIPI 电源
51	AVDD18_MIPI	AD14,AD15	1.8V MIPI IO 电源
52	AVSS_MIPI	AH10,AH11,AH12,AH13, AJ8, AK14	MIPI 地
53	AVDD18_USB0	H11	1.8V USB0 电源
54	AVDD18_USB1	H9	1.8V USB1 电源
55	AVDD33_USB0	G10	3.3V USB0 电源
56	AVDD33_USB1	G8	3.3V USB0 电源
57	VDD08_CMLK	AC17,AC19,AC20,AC22	0.8V camera link 电源
58	AVDD18_CMLK_BASE	AD18	1.8V camera link BASE 电源
59	AVDD25_CMLK_BASE	AD19	2.5V camera link BASE 电源
60	AVDD18_CMLK_MEDI	AD21	1.8V camera link MEDI 电源
61	AVDD25_CMLK_MEDI	AD22	2.5V camera link MEDI 电源
62	AVDD18_CMLK_FULL	AE23	1.8V camera link FULL 电源
63	AVDD25_CMLK_FULL	AE24	2.5V camera link FULL 电源
64	AVDD18_CMLK_TX	AE16	1.8V camera link TX 电源
65	AVDD25_CMLK_TX	AD16	2.5V camera link TX 电源
66	AVDD18_CMLK_BUF_B ASE	AD17	1.8V camera link VCCBUF BASE 电源



#	引脚名	引脚号	信号说明
67	AVDD18_CMLK_BUF_MEDI	AD20	1.8V camera link VCCBUF MEDI 电源
68	AVDD18_CMLK_BUF_FULLL	AD23	1.8V camera link VCCBUF FULL 电源
69	AVSS_CMLK	AE14,AE17,AE18,AE19,AE20,AE21,AE22,AE25, AF20,AF26, AG20,AG26, AH14,AH15,AH16,AH17,AH18,AH19, AH20,AH21,AH22,AH23,AH24,AH25, AH26, AJ14,AJ20,AJ26, AK20,AK26	Camera link BASE/MEDI/FULL/T X 地
70	VDD08_RTC	J8	0.8V RTC 电源
71	AVDDH33	H7	3.3V RTC 电源
72	AVDD18	L8	1.8V PVTSENSOR/ADC/POR 电源
73	ADC_VREFH	D3	ADC 参考电压高
74	ADC_VREFL	D4	ADC 参考电压低
75	VDDIO18_OSC	T7	1.8V OSC 电源
76	VDD33_SDIO	F9	3.3V SDIO 电源
77	VDDIO_NF	F11	3.3V/1.8V NF IO 电源
78	VDDIO_PERI	F13	3.3V/1.8V PERI IO 电源
79	VQPS18_EFUSE	K7	1.8V EFUSE 电源
80	VSS	B9,B12,B15, E21,E25 F3, G13,G15,G17,G19,G21,G23, H12,H14,H16,H20,H22, J3,J9,J13,J15,J17,J19,J21,J23, K8,K10,K12,K14,K16,K18,K20,K22, L9,L11,L13,L15,L17,L19,L21, M8,M10,M12,M14,M16,M18,M20,M22, N1,N2,N7,N13,N15,N17,N19,N21, P3,P8,P12,P14,P16,P18,P20,P22, R3,R7,R9,R11,R13,R15,R17,R21 T3,T8,T10,T14,T16,T22, U3,U7,U9,U13,U15,U17,	数字地

#	引脚名	引脚号	信号说明
		V1,V2,V8,V10,V12,V14,V16,V18,V20, V22, W3,W7,W9,W11,W13,W15,W17,W19, W21, Y3,Y8,Y10,Y12,Y14,Y16,Y18,Y20,Y2 2, AA8,AA11,AA13,AA15,AA17,AA19, AA21, AB3,AB8,AB12,AB14,AB16,AB18,AB 20,AB22, AC3,AC8,AC9,AC10,AC11,AC15,AC1 6,AC18,AC21,AC23, AD1,AD2,AD5,AD7 AE3, AF3,AF7,AF10, AG3, AH3,AH4,AH6,AH7, AJ1,AJ2, AK2,AK8	
81	AVSS	B3,B5, E5, G7,G9,G11, H8,H10 J7, L7	电源地

注：相关电源电压范围参考值，详见 4.3.2 章节

3. 工作条件及电气特性

3.1 PVT sensor 电气特性

表 3-1 PVT Sensor 电气特性

参数	标志	Min	Typ	Max	单位
AVDD/DVDD18 电源供电电压		1.62	1.8	1.98	V
DVDD 电源供电电压		0.72	0.8	0.88	V
工作温度范围		-40	25	125	°C
工作电流 (F CLK =100KHz)	I _{OP}		250		uA
电源关断电流	I _{PD}		2.5		uA
数据转换时间 (F CLK =100KHz)	T _{CONV}		350		ms
时钟输出频率	F _{CLK}	10	100	200	uA
温度传感器特性					
温度测量范围	T _{RNG}	-40		125	°C
温度测量分辨率	T _{RSLT}		0.1		°C/LSB
温度测量误差	T _{INACC}		±5		°C
电压传感器特性					
电压测量范围	V _{RNG}	0.7		1.0	V
电压测量分辨率	V _{RSLT}		0.5		mV/LSB
电压传感器误差	V _{INACC}		±40		mV

3.2 SAR ADC电气特性

表 3-2 SAR ADC 电气特性表

参数	最小	典型值	最大	单位
分辨率		12		位
工作结温度	-40	25	125	°C
供电要求				
电源电压 (AVDD18)	1.62	1.8	1.98	V



电源电压 (DVDD08)		0.72	0.8	0.88	V
电流消耗@1Msps			100		uA
待机状态下的电流消耗			10		uA
断电模式下的电流消耗			1		uA
模拟输入					
输入采样电容器 (Cs)			3		pF
输入采样电阻 (Rs)	SEL_SPEED=0	2250	3000	4000	Ω
	SEL_SPEED=1	420	600	800	Ω
VREFH			1.8	AVDD	V
VREFL		0		0.1	V
输入范围 (单端模式)		VREFH - VREFL			V
输入范围 (差模)		2*(VREFH - VREFL)			Vpp
性能					
DNL			± 1.5		LSB
INL			± 3		LSB
SNR @Fin=20KHz 1MSPS			62		dB
THD @Fin=20KHz 1MSPS			-62		dB
校准前的偏移误差			+/- 25		LSB
校准后的偏移误差			+/- 5		LSB
时序特性					
输入时钟频率 (Fclk)			16	80	MHz
时钟占空比		45	50	55	%
转换周期 (tc)			16		CLK
采样率 (Fs)	SEL_SPEED=0			1	MSPS
	SEL_SPEED=1			5	MSPS
SOC 输入宽度 (tSOC)			6		ns
CLK 上升沿前的 SOC 设置时间 (tsocest)			0.1	1	ns
CLK 上升沿后的 SOC 保持时间 (Tsochld)			1	2	ns
CLK 上升沿到 EOC 的延迟时间			3	4.5	ns
上升沿 (teocr)					
CLK 上升沿到 EOC 下降沿的延迟时间 (teocf)			3	4.5	ns
EOC 宽度 (teocw)		1			CLK
EOC 上升沿后的有效数据输出延迟 (tdata)			4	6	ns
断电模式启动时间			5		us

3.3 RTC电气特性

表 3-3 RTC 模块电特性表

参数	符号	最小值	典型值	最大值	单位	说明
模拟电源电压	AVDDH	1.8	3.3	3.63	V	



数字电源电压	DVDD	0.72	0.8	0.88	V	晶体规定范围
环境温度	TA	-40	25	85	°C	
结温	TJ	-40	25	125	°C	
CLK_OSCL的输出时钟电平	VOL		0		V	
	VOH		DVDD		V	
CLK_OSC的输出时钟电平	VOL		0		V	VCC_XO=1.2V~2V VCC_XO没有电流能力。
	VOH		VCC_XO		V	
CLK_OSCL的输出频率	fOSC	-20ppm	F0	+20ppm	Hz	TA=25°C VDDH=3.3V F0:32768HZ (注4)
CLK_OSCL与AVDDH的频率稳定性 (注5)	$\Delta f1/fOSC/\Delta V$	-3		+3	ppm/V	TA=25°C
频率稳定性与TA的关系 (注5)	$\Delta f1/fOSC$	-100			ppm	-20-70°C
		-200				~40-85°C
输出占空比	D	40	50	60	%	振荡模式
		DO-5	DO	DO+5	%	旁路模式。而时钟输入的占空比为DO%
RTC启动时间	TON1		300	1000	ms	取决于AVDDH电平、通电速度、晶体类型和温度
每天的RTC时间偏差	TDEN	1			s	25°C条件下
工作电流	IVCC33		1.5	10	uA	平均电流 (6)
旁路模式频率 (注7)	fbyypass	20k	32768	100k	Hz	XIN32K直接连接到外部时钟 (方波或正弦波)
旁路模式振幅 (注7)	Vppbyypass	0.3	1	1.2	V	
旁路模式电流	Ibyypass		1.5	10	uA	输入Vpp=1V的20KHz~100KHz波形
旁路模式启动时间	TON2		2		ms	输入Vpp=1V的20KHz~100KHz波形



4. 系统

4.1 复位

Yulong810A 芯片复位信号控制结构如图 4-1 所示。

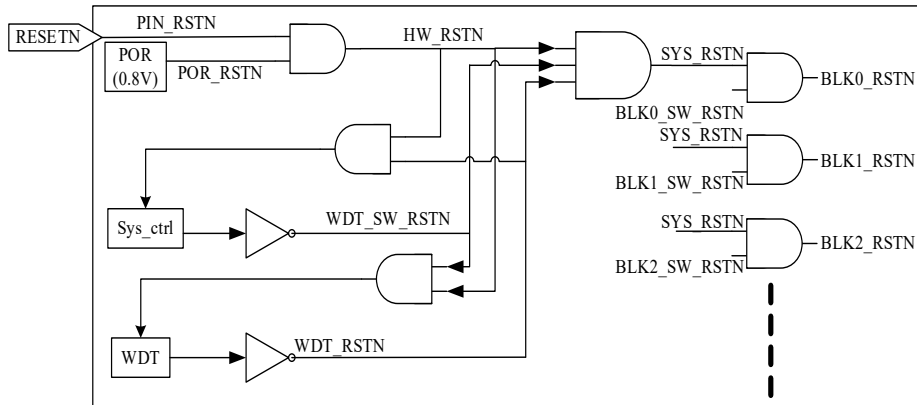


图 4-1 芯片复位信号控制图

上图信号说明：

- POR 芯片内部上电复位（Power-On-Reset）模块
- RESETN 片外复位信号
- HW_RSTN 硬件复位信号
- WDT_SW_RSTN 软件看门狗复位信号
- WDT_RSTN 看门狗复位输出信号
- SYS_RSTN 系统复位信号
- BLK_SW_RSTN 软件控制子模块复位信号

复位信号分类如表 4-1 所示。

表 4-1 复位信号分类表

复位信号类型	产生方式	用途
全局硬复位	外部复位和内部上电复位 POR 模块	对 SOC 子系统进行全局复位
芯片看门狗模块复位	芯片看门狗模块	对除看门狗自身外的 SOC 子系统进行全局复位
软件控制子模块复位	软件配置子模块复位控制位	SOC 子系统各子模块的单独复位。

4.2 时钟

Yulong810A 有以下时钟输入源：

1) 一个24MHz振荡器，它将用作PLL的主要时钟源，为CPU、VIP、VPU、DDR、总线和高速接口生成时钟。对于所有的锁相环，振荡器的24MHz时钟可以直接用作锁相环的参考时钟。

2) 一个32KHz振荡器，它将被用作RTC和内部低速时钟的时钟源。

3) 一个62.5MHz用于RapidIO参考时钟。

4) 一个100MHz用于PCIe参考时钟。

5) 来自调试器的JTAG TCK时钟输入。

4.2.1 PLL分布

为了满足每个IP块的时钟要求，Yulong810A将具有以下PLL：

- ✧ PLL_CPU0，用于为ARM Cortex-A9平台生成时钟。
- ✧ PLL_VIP，用于为GPU生成时钟。
- ✧ PLL_VPU，用于为VPU生成时钟。
- ✧ PLL_SOC：用于为SOC生成时钟，包括总线、HSIO、外围设备等。
- ✧ PLL_DDR:用于生成时钟的DDR和PLU。
- ✧ PLL_DISP：用于生成视频输出显示接口的时钟。
- ✧ PLL_SENS：用于为视频输入传感器接口生成时钟。
- ✧ PLL_HSIO：用于为高速接口生成时钟。
- ✧ PLL_AUD，用于为音频接口生成时钟。

在子块内部有两个PLL，以减少时钟路径上的抖动：

- ✧ PLL_CPU0靠近Quad CA9平台块以最小化抖动。
- ✧ PLL_DDR靠近DDR PHY，以最小化时钟抖动。使接口更容易满足JEDEC标准中的抖动要求。

使用了两种类型的锁相环：

- ✧ PLL_CPU0、PLL_VIP、PLL_VPU、PLL_SOC、PLL_SENS和PLL_HSIO是整数PLL，配置在不同的频率。



- ◇ PLL_DDR、PLL_DISP、PLL_AUD为分数PLL，可配置为音频和视频接口所需的非常精确的频率。

每个PLL都有其专用的配置寄存器，可以通过APB总线访问。软件可以启用/禁用锁相环或改变其时钟频率。所有的分频锁相环可以支持在飞行频率调整在小步进没有故障的时钟输出。除寄存器接口外，每个PLL还具有专用pll_enable输入和pll_lock输出，以支持来自CCM的PLL禁用/启用控制。

4.2.2 时钟结构

Yulong810A 芯片时钟结构如图 4-2 所示。

ORBITA

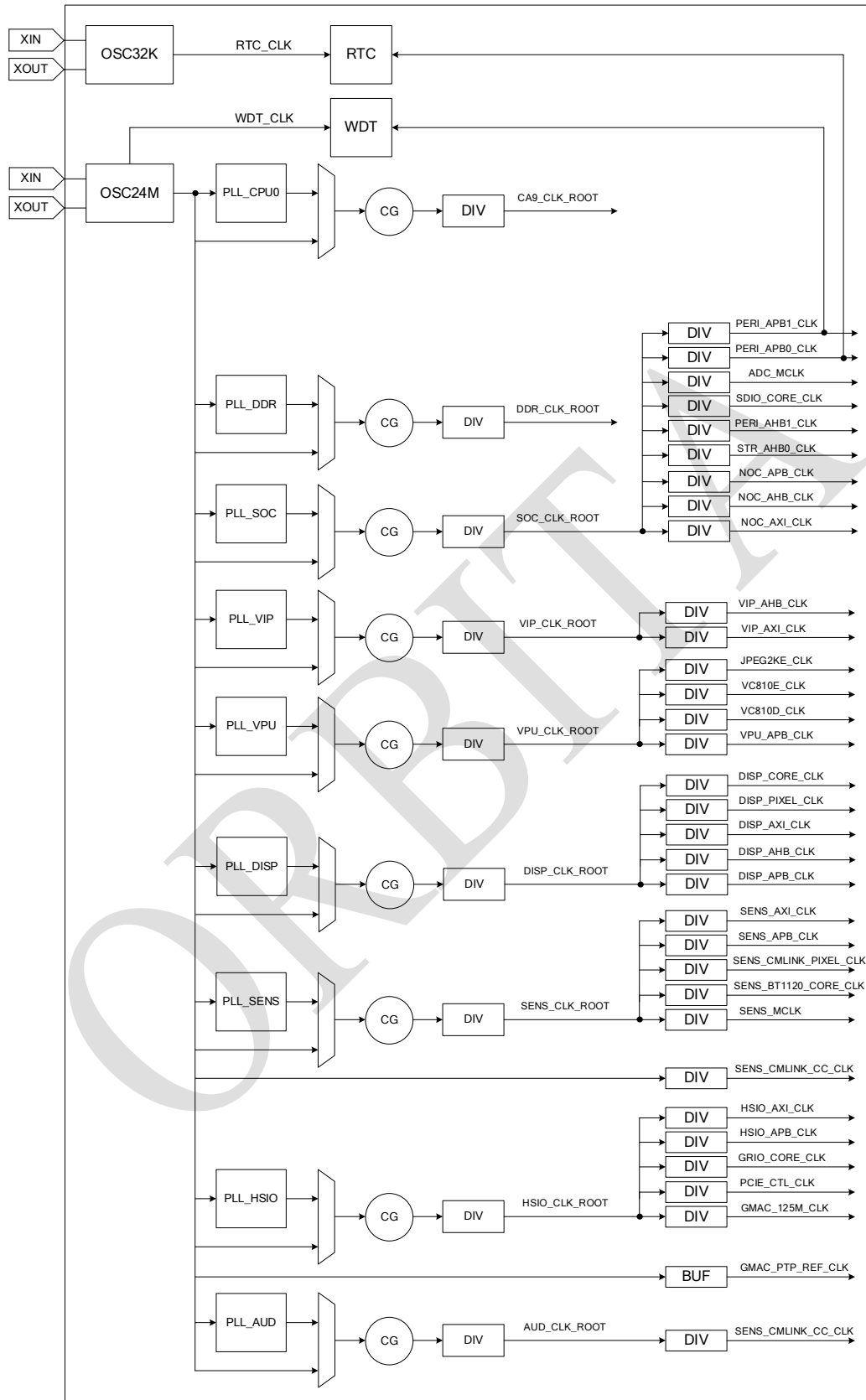


图 4-2 芯片时钟结构图



4.2.3 PLL配置流程

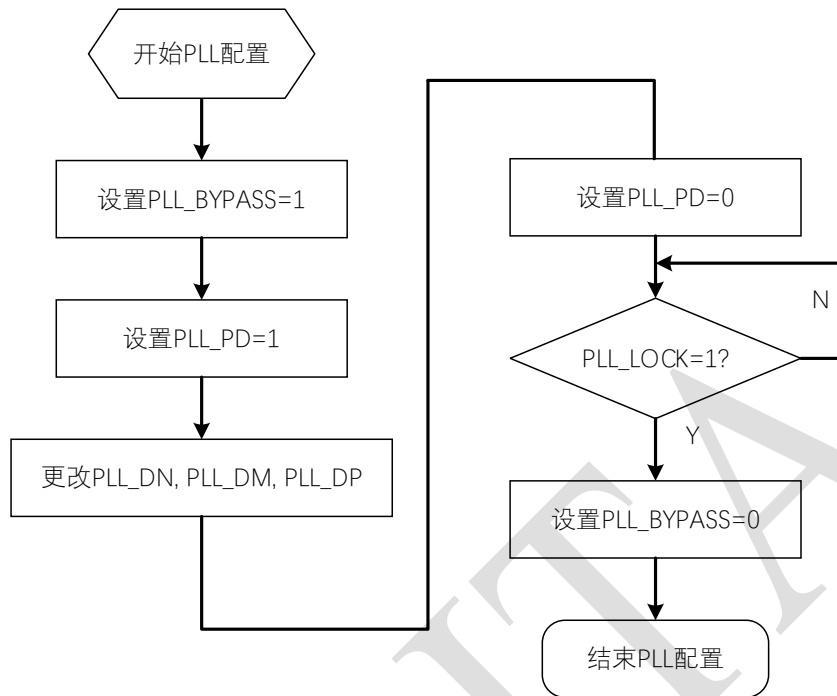


图 4-3 PLL 配置流程图

4.2.4 PLL最大频率

各个PLL支持的输出频率总结如表4-2所示。

表 4-2 各 PLL 支持的最大频率

PLL	类型	VCO 频率 (MHz)	预分频	后分频	最大频率 (MHz)	描述
PLL_CPU0	Integer	800~3200	1~7	1~8	1000	CA9 CPU 平台
PLL_VIP	Integer	800~3200	1~7	1~8	800	VIP
PLL_VPU	Integer	800~3200	1~7	1~8	750	VPU
PLL_SENS	Integer	800~3200	1~7	1~8	700	图像传感器
PLL_HSIO	Integer	800~3200	1~7	1~8	750	高速接口
PLL_SOC	Integer	800~3200	1~7	1~8	800	SoC 顶层
PLL_DDR	Fractional	800~3200	1~7	1~8	2667	DDR
PLL_DISP	Fractional	800~3200	1~7	1~8	900	显示
PLL_AUD	Fractional	800~3200	1~7	1~8	300	音频 I2S I/F

4.2.5 子时钟最大频率

各个子时钟最大频率如表4-3所示。

表 4-3 各子时钟最大频率

PLL	Block	目标时钟 (MHz)		分频	源时钟 (MHz)	
		名称	Fmax		名称	Fmax
XTAL_24M		xtal_clk24m	24	na	na	na
XTAL_32K		xtal_clk32k	0.032	na	na	na
PLL_CPU0	ca9mp_cpu	ca9mp_clk	1000	1~8	ca9mp_pll_clk	1000
		ca9mp_periphclk	1000	1~8	ca9mp_clk	1000
		ca9l2_clk	450	1~8	ca9mp_clk	1000
		cssys_traceclk	150	1~8	ca9mp_pll_clk	1000
PLL_VIP	vip810	vipcore_clk	800	1~8	pll_vip_clk	800
		vipaxi_clk	800	1~8	pll_vip_clk	800
		vipahb_clk	200	1~8	pll_vip_clk	800
PLL_VPU	vc810d	vc810d_aclk	375	1~8	pll_vpu_clk	750
		vc810d_pclk	125	1~8	pll_vpu_clk	750
	vc810e	vc810e_aclk	375	1~8	pll_vpu_clk	750
		vc810e_pclk	125	1~8	pll_vpu_clk	750
	jpeg2000e	jpeg2000e_aclk	750	1~8	pll_vpu_clk	750
		jpeg2000e_pclk	125	1~8	pll_vpu_clk	750
PLL_SENS	cameralink	cmlk_aclk	350	1~8	pll_sens_clk	700
		cmlk_pclk	140	1~8	pll_sens_clk	700
		cmlk_pixclk	350	1~8	pll_sens_clk	700
		cmlk_ccclk	2	1~128	xtal_clk24m	24
	mipi csi-2	mipi_aclk	350	1~8	pll_sens_clk	700
		mipi_pclk	140	1~8	pll_sens_clk	700
		mipi_cfgclk	27	1~64	pll_sens_clk	700
	bt1120	bt1120_aclk	350	1~8	pll_sens_clk	700
		bt1120_pclk	140	1~8	pll_sens_clk	700
	sensor	sens_mclk	27	1~64	pll_sens_clk	700
PLL_HSIO	pcie	pcie_aclk	375	1~8	pll_hsio_clk	750
		pcie_aux_clk	24	na	xtal_clk24m	24
	grio	grio_core_clk	375	1~8	pll_hsio_clk	750
		grio_ctl_clk	750/8	1~32	pll_hsio_clk	750
	gmac	gmac_aclk	375	1~8	pll_hsio_clk	750
		gmac_clk125m	125	1~8	pll_hsio_clk	750
		gmac_pclk	125	1~8	pll_hsio_clk	750
		gmac_ptp_ref_clk	24	na	xtal_clk24m	24
hsio	hsio_pclk	125	1~8	pll_hsio_clk	750	
PLL_SOC	noc	noc_aclk	400	1~8	pll_soc_clk	800



		noc_hclk	200	1~8	pll_soc_clk	800
		noc_pclk	100	1~8	pll_soc_clk	800
	storage	ahb0_hclk	200	1~8	pll_soc_clk	800
		Peripheral	ahb1_hclk	200	1~8	pll_soc_clk
	apb0_pclk		100	1~8	ahb1_hclk	200
	apb1_pclk		100	1~8	ahb1_hclk	200
	sdio	sdio_cclk_in	200	1~8	pll_soc_clk	800
		sdio_tmclk	24	na	xtal_clk24m	24
	usb	usb_internalclk	24	na	xtal_clk24m	24
		usb_adp_clk	0.032	na	rtc_clk32k	0.032
	wdt	wdt_clk	24	na	xtal_clk24m	24
	adc	adc_mclk	80	1~32	pll_soc_clk	800
pvt_sensor	pvt_clk_in	0.032	na	rtc_clk32k	0.032	
PLL_DDR	ddr	ddr_phy_ddr_clk	1333	2	pll_out_ddr_clk	2667
		drc_core_clk	667	2	ddr_phy_clk	1333
PLL_DISP	dc8000	dc8000_aclk	450	1~8	pll_disp_clk	900
		dc8000_hclk	225	1~8	pll_disp_clk	900
		dc8000_core_clk	450	1~8	pll_disp_clk	900
		dc8000_pixel_clk	150	1~64	pll_disp_clk	900
	display	disp_pclk	150	1~8	pll_disp_clk	900
PLL_AUD	i2s	i2s_mclk	100	1~256	pll_aud_clk	300

4.3 电源管理与低功耗模式

4.3.1 电源架构

Yulong810A芯片的电源架构是基于这样一个假设来定义的：外部PMIC总是用来为处理器提供所有的电源轨。

芯片内的数字逻辑将提供5个电源。所有VDD电源均为标称电压，但带OD电压的VDD_VIP除外。

- VDD_CPU用于Cortex-A9平台；
- VDD_VIP仅适用于VIP；
- VDD_DDR用于DDR控制器和PHY；
- VDD_RTC用于RTC始终处于部分；
- VDD_SOC用于SOC中的其余模块。

1) GPIO PAD具有3.3V和1.8V IO电压的外部电源。IO板核心电压将由VDD_SOC直接提供（RTC IO除外）。

2) 有两个用于外部电源和控制器的电源。

3) 对于所有集成模拟模块，其1.8V模拟电源和0.8V数字电源将通过电源板外部供电。这些电源与封装上的其他电源板分开以保持清洁，但它们可以与板上的其他电源轨共享，以减少来自PMIC的电源设备的数量。

4) 对于所有集成的PCIe PHY、MIPI PHY、Camera Link PHY、Rapid IO PHY、LVDS TX PHY、SDEMC PHY和USB20 PHY，它们的3.3V、2.5V、1.8V和0.8V电源将通过电源板从外部提供。这些phy的电源与封装上的其他电源板分开，以保持它们的清洁，但它们可以与板上的其他电源轨共享，以减少PMIC的电源数量。

5) 对于RTC，0.8V核心逻辑电源和3.3V模拟/IO电源将由外部提供。

6) 芯片内部没有集成的LDO（除了模拟PHY内部LDO）。

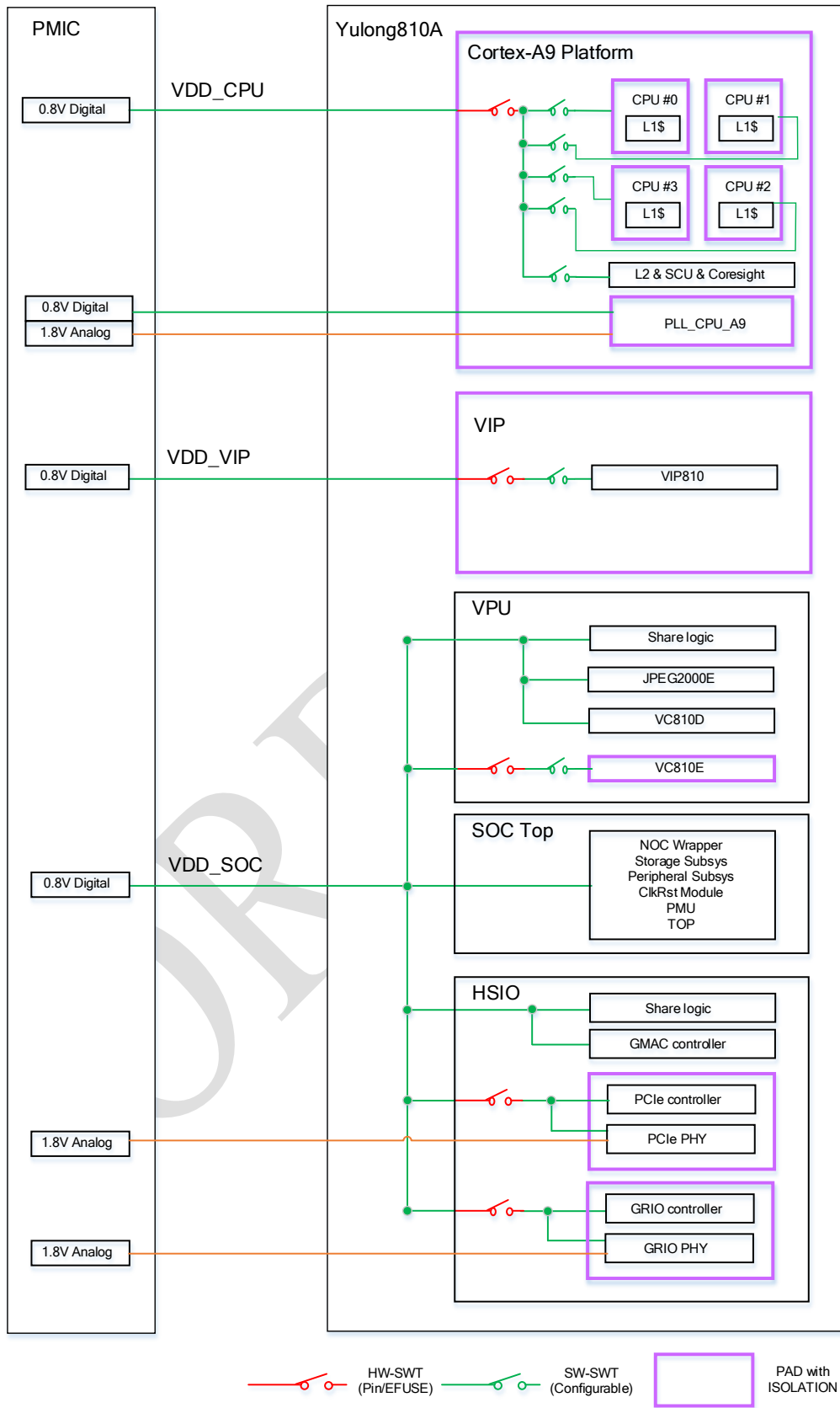


图 4-4(a) Yulong810A 电源结构



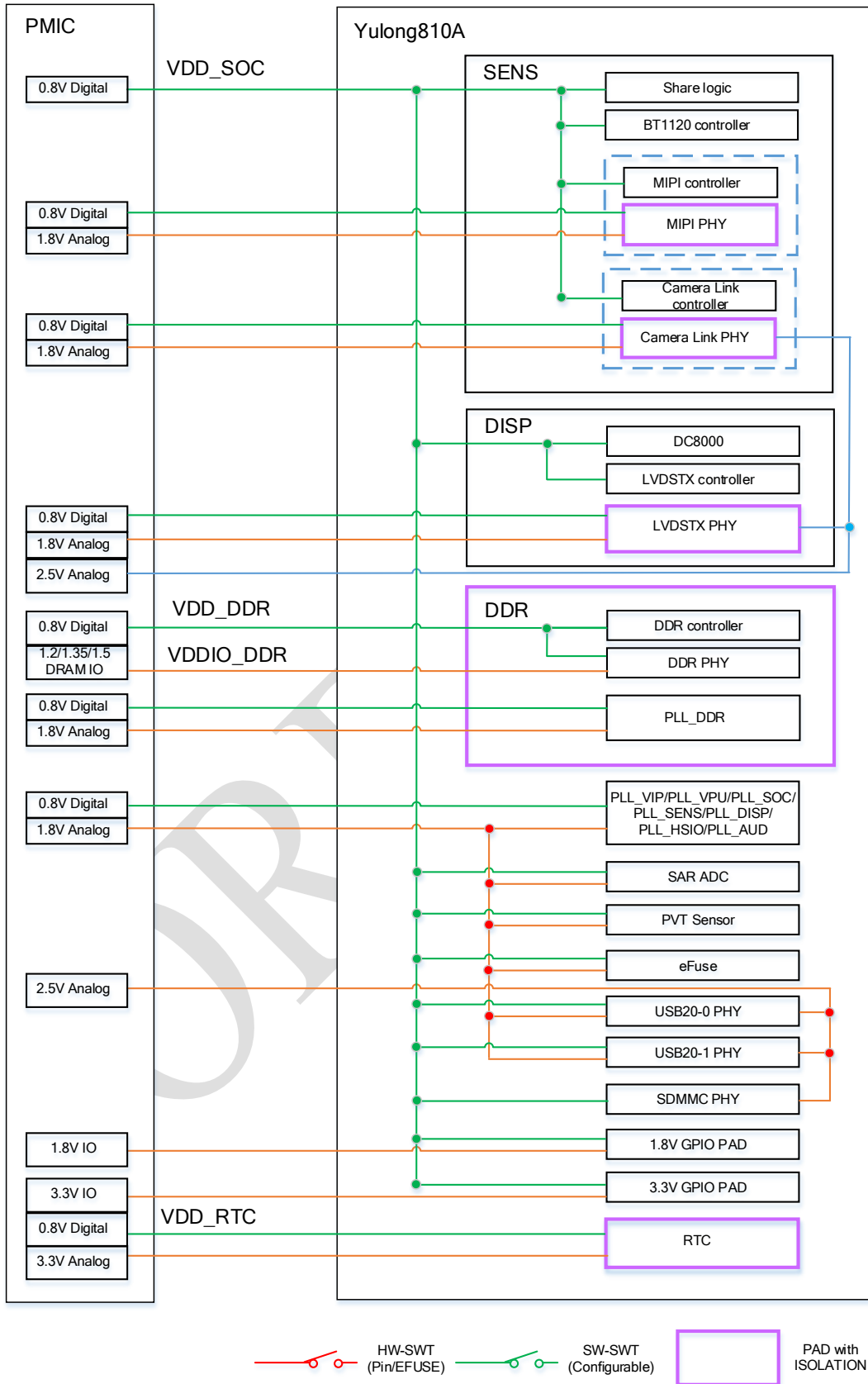


图 4-4(b) Yulong810A 电源结构



4.3.2 供电

Yulong810A需外部PMIC提供的电源为3.3V、1.8V及0.8V。1.8V电源用于Analog Macro和IO, 3.3V用于USB2.0 PHY、SDEMC PHY和IO, 核心逻辑采用0.8V。

表 4-4 Yulong810A 供电说明

电源轨	Vmin (V)	Vtyp (V)	Vmax (V)	描述
VDD_CPU	0.72	0.80	0.88	CPU电源
VDD_VIP	0.72	0.80	0.88	VIP810电源
VDD_SOC	0.72	0.80	0.88	SoC逻辑电源
VDD_DDR	0.72	0.80	0.88	DDRC电源
VDD_RTC	0.72	0.80	0.88	RTC常通电源
VDDA_1P8_CA9	1.62	1.80	1.98	CA9 PLL的1.8V电源
VDDA_1P8_DDR	1.62	1.80	1.98	DDR PLL的1.8V电源
VDDA_1P8_PCIE_PHY	1.62	1.80	1.98	PCIE PHY的1.8V电源
VDDA_1P8_GRIO_PHY	1.62	1.80	1.98	GRIIO PHY 1.8V电源
VDDA_0P8_DPHY	0.72	0.80	0.88	MIPI DPHY 0.8V电源
VDDA_1P8_DPHY	1.62	1.80	1.98	MIPI DPHY 1.8V电源
VDDA_0P8_CMLK_PHY	0.72	0.80	0.88	Camera Link PHY的0.8V电源
VDDA_1P8_CMLK_PHY	1.62	1.80	1.98	Camera Link PHY的1.8V电源
VDDA_2P5_CMLK_PHY	2.25	2.50	2.75	Camera Link PHY的2.5V电源
VDDA_0P8_LVDS_PHY	0.72	0.80	0.88	LVDS PHY 0.8V电源
VDDA_1P8_LVDS_PHY	1.62	1.80	1.98	LVDS PHY 1.8V电源
VDDA_2P5_LVDS_PHY	2.25	2.50	2.75	LVDS PHY 2.5V电源
VDDA_1P8_SOC	1.62	1.80	1.98	SOC Analog Macro 1.8V电源
VDDA_3P3_SOC	2.97	3.30	3.63	USB SDEV的PHY.3V电源
VDDA_3P3_RTC	1.80	3.30	3.63	RTC Analog Macro的3.3V电源
VDDIO_1P8	1.62	1.80	1.98	1.8V GPIO PAD的1.8V电源
VDDIO_3P3	2.97	3.30	3.63	3.3V GPIO PAD的3.3V电源
VDDIO_3P3_RTC	2.97	3.30	3.63	3.3V RTC PAD的3.3V电源
VDDIO_DRAM	1.14	1.20	1.26	DDR4电源
	1.14	1.20	1.30	LPDDR3电源
	1.425	1.50	1.575	DDR3电源
	1.283	1.35	1.45	DDR3L电源

4.3.3 最大功率

表4-5 中定义了每个电源轨的最大功率目标。



表 4-5 电源轨最大功率

电源轨	最大功率	描述
VDD_CPU	3000mA	目标最大功率估计值
VDD_VIP	12000mA	目标最大功率估计值
VDD_SOC	10000mA	目标最大功率估计值
VDD_DDR	3000mA	目标最大功率估计值
VDD_RTC	100uA	目标最大功率估计值
VDDA_1P8_CA9	10mA	目标最大功率估计值
VDDA_1P8_DDR	10mA	目标最大功率估计值
VDDA_0P8_PCIE_PHY	155mA	目标最大功率估计值
VDDA_1P8_PCIE_PHY	65mA	目标最大功率估计值
VDDA_0P8_GRIO_PHY	400mA	目标最大功率估计值
VDDA_1P8_GRIO_PHY	140mA	目标最大功率估计值
VDDA_0P8_DPHY	25mA	目标最大功率估计值
VDDA_1P8_DPHY	15mA	目标最大功率估计值
VDDA_0P8_CMLK_PHY	15mA	目标最大功率估计值
VDDA_1P8_CMLK_PHY	135mA	目标最大功率估计值
VDDA_2P5_CMLK_PHY	130mA	目标最大功率估计值
VDDA_0P8_LVDS_PHY	15mA	目标最大功率估计值
VDDA_1P8_LVDS_PHY	85mA	目标最大功率估计值
VDDA_2P5_LVDS_PHY	90mA	目标最大功率估计值
VDDA_1P8_SOC	100mA	目标最大功率估计值
VDDA_3P3_SOC	150mA	目标最大功率估计值
VDDA_3P3_RTC	100uA	目标最大功率估计值
VDDIO_3P3_RTC	100uA	目标最大功率估计值
VDDIO_1P8	TBD	$I_{max} = N \times C \times V \times (0.5 \times F)$ 所谓, N—电源线提供的IO引脚数 C—等效外部电容负载。 V—IO 电压。 (0.5 xF)—数据改变率, 高至0.5 个clock.
VDDIO_3P3	TBD	
VDDIO_DRAM	TBD	
	TBD	
	TBD	



4.3.4 电源模式

4.3.4.1 电源模式定义

Yulong810A支持以下电源模式：

- **RUN模式**：在这种模式下，Quad-CA9 CPU核心处于活动状态并在运行，为了省电，可以关闭部分CPU。
- **IDLE模式**：此模式定义为当没有线程运行时CPU可以自动进入的模式。所有高速设备都没有激活，DRAM和总线时钟减少，大部分内部逻辑是时钟门控的，但仍然保持供电。与运行模式相比，PMIC的所有外部电源保持不变，并且大多数ip保持其状态，因此这种模式下的中断响应延迟非常小。
- **SUSPEND模式**：此模式被定义为最省电的模式，所有时钟关闭，所有不必要的电源关闭。CA9CPU平台是全功率门控的，所有可以断电的内部数字逻辑和模拟电路都将关闭，所有物理单元都是电源选通的（注：模拟和PHY需要外部电源选通）。退出此模式的时间将比空闲时间长得多，但功耗也将低得多。
- **RTC模式**：在此模式下，只有RTC域的电源保持打开状态以保持RTC逻辑活动。
- **OFF模式**：此模式关闭所有电源轨。

4.3.4.2 低功耗模式

Yulong810A芯片的待机模式是低功耗。IDLE和SUSPEND是基于linux kenal用例的两种典型的低功耗模式。下表总结了所有电源模式下的外部电源设备状态。

表 4-6 Yulong810A 低功耗模式定义

电源轨	OFF	RTC	SUSPEND	IDLE	RUN
VDD_CPU	OFF	OFF	OFF	ON	ON
VDD_VIP	OFF	OFF	OFF	ON	ON
VDD_DDR	OFF	OFF	OFF	ON	ON
VDD_SOC	OFF	OFF	ON	ON	ON
VDD_RTC	OFF	ON	ON	ON	ON
VDDA_1P8_CA9	OFF	OFF	OFF	ON	ON
VDDA_1P8_DDR	OFF	OFF	OFF	ON	ON
VDDA_1P8_PCIE_PHY	OFF	OFF	OFF	ON	ON
VDDA_1P8_GRIO_PHY	OFF	OFF	OFF	ON	ON
VDDA_0P8_DPHY	OFF	OFF	OFF	ON	ON

VDDA_1P8_DPHY	OFF	OFF	OFF	ON	ON
VDDA_0P8_CMLK_PHY	OFF	OFF	OFF	ON	ON
VDDA_1P8_CMLK_PHY	OFF	OFF	OFF	ON	ON
VDDA_2P5_CMLK_PHY	OFF	OFF	OFF	ON	ON
VDDA_0P8_LVDS_PHY	OFF	OFF	OFF	ON	ON
VDDA_1P8_LVDS_PHY	OFF	OFF	OFF	ON	ON
VDDA_2P5_LVDS_PHY	OFF	OFF	OFF	ON	ON
VDDA_1P8_SOC	OFF	OFF	ON	ON	ON
VDDA_3P3_SOC	OFF	OFF	ON	ON	ON
VDDA_3P3_RTC	OFF	ON	ON	ON	ON
VDDIO_1P8	OFF	OFF	ON	ON	ON
VDDIO_3P3	OFF	OFF	ON	ON	ON
VDDIO_3P3_RTC	OFF	ON	ON	ON	ON
VDDIO_DRAM	OFF	OFF	ON	ON	ON

4.3.5 电源域

为了优化低功耗模式下的功耗，Yulong810A具有多个电源域。这使得大多数的SOC数字和模拟逻辑可以通过内部电源开关或PMIC的外部电源在低功耗模式下进行功率选通。

表 4-7 Yulong810A 电源域定义

电源域	供电	类型	物理域
PD_A9_CPU	VDD_CPU	数字	Cortex-A9 平台
PD_A9_CPU0	VDD_CPU 带切换开关	数字	Cortex-A9平台
PD_A9_CPU1	VDD_CPU带切换开关	数字	Cortex-A9平台
PD_A9_CPU2	VDD_CPU带切换开关	数字	Cortex-A9平台
PD_A9_CPU3	VDD_CPU带切换开关	数字	Cortex-A9平台
PD_VC810E	VDD_SOC带切换开关	数字	VPU_Sub (VC810E)
PD_SOC	VDD_SOC	数字	NOC, Storage-Sub, Peri-Sub, Top
PD_SOC_MIPI	VDD_SOC	数字	SENS_Sub (MIPI DPHY)
PD_SOC_CMLK	VDD_SOC	数字	SENS_Sub (Camer Link PHY)
PD_SOC_PCIE	VDD_SOC	数字	HSIO_Sub (PCIe 控制器 & PHY)
PD_SOC_GRIO	VDD_SOC	数字	HSIO_Sub (GRIO 控制器 & PHY)
PD_SOC_DISP	VDD_SOC	数字	DISP_Sub (LVDS PHY)
PD_VIP	VDD_VIP	数字	VIP810
PD_DDR	VDD_DDR	数字	DDR 控制器 & PHY
PD_RTC	VDD_RTC	数字	RTC 逻辑 & Macro & IO
Analog_V0P8	VDDA_0P8	模拟	模拟0.8V部分
Analog_V1P8	VDDA_1P8	模拟	模拟1.8V部分

Analog_V2P5	VDDA_2P5	模拟	模拟2.5V部分
Analog_V3P3	VDDA_3P3	模拟	USB2.0/SDEMMC PHY 3.3V 部分
DRAM_IO	VDDIO_DRAM	IO	DRAM IO
PD_VDDIO18	VDDIO_1P8	IO	1.8V IO
PD_VDDIO33	VDDIO_3P3	IO	3.3V IO

4.3.6 通断电顺序

Yulong810A中的上电和断电顺序基于以下假设：外部将始终使用PMIC。

4.3.6.1 上电顺序

上电顺序定义如下：

- 打开VDD_RTC;
- 打开VDDA_3P3_RTC;
- 打开VDDIO_3P3_RTC;
- 打开VDD_SOC和VDDA_0P8_XXX;
- 打开VDD_CPU和VDD_DDR（可与VDD U SOC一起使用）;
- 打开VDDA_1P8_XXX;
- 打开VDDA_2P5_XXX和VDDA_3P3_XXX;
- 打开VDDIO_3P3、VDDIO_1P8和VDDIO_DRAM;
- RTC_RESETN 释放（应在 VDDIO_3P3_RTC、VDD_RTC 和 VDDA_3P3_RTC上电期间断言, 并保持断言, 直到32K XTAL时钟稳定, 电源轨无顺序要求）;
- RTC_ISO_EN 释放（应在整个上电过程中声明）。

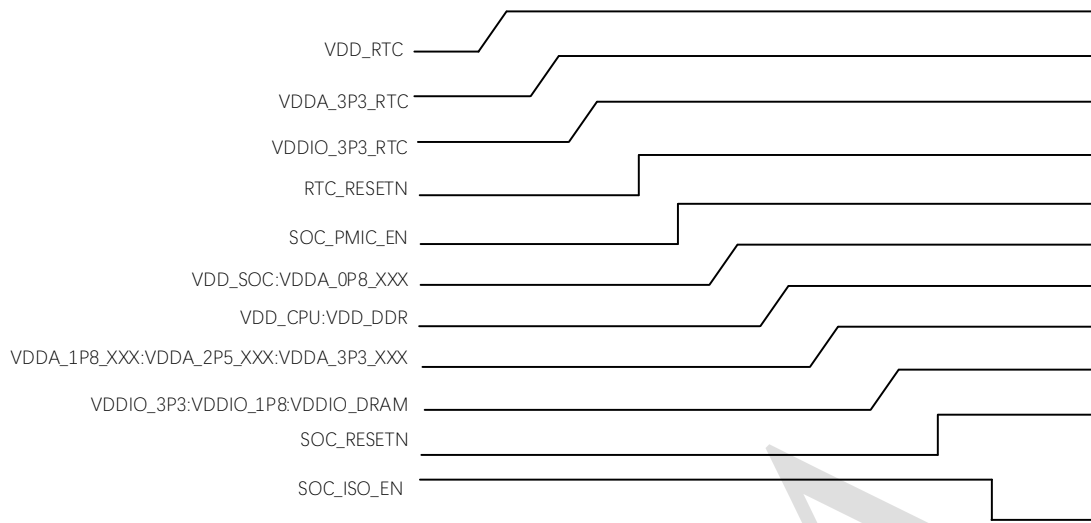


图 4-5 Yulong810A 上电顺序

开机时，建议关闭VDD_VIP以降低开机时的功率，稍后再由SW开启。它们也可以与VDD_SOC一起打开，或在这之后的任何时间打开。

在芯片通电期间，PCIe PHY、GRIO PHY、MIPI PHY、相机链路PHY和LVDS PHY的电源应关闭。芯片加电后，这些物理单元的电源顺序应符合物理层规范的要求。

4.3.6.2 断电顺序

断电顺序定义如下：

- 关闭VDDIO_3P3、VDDIO_1P8和VDDIO_DRAM；
- 关闭VDDA_1P8_XXX、VDDA_2P5_XXX和VDDA_3P3_XXX；
- 关闭其他电源轨后的VDD_SOC（或与其他电源轨同时关闭）；
- 关闭VDDIO_3P3_RTC和VDDA_3P3_RTC；
- 关闭VDD_RTC；
- 在特殊断电期间，其他电源轨无电源顺序。

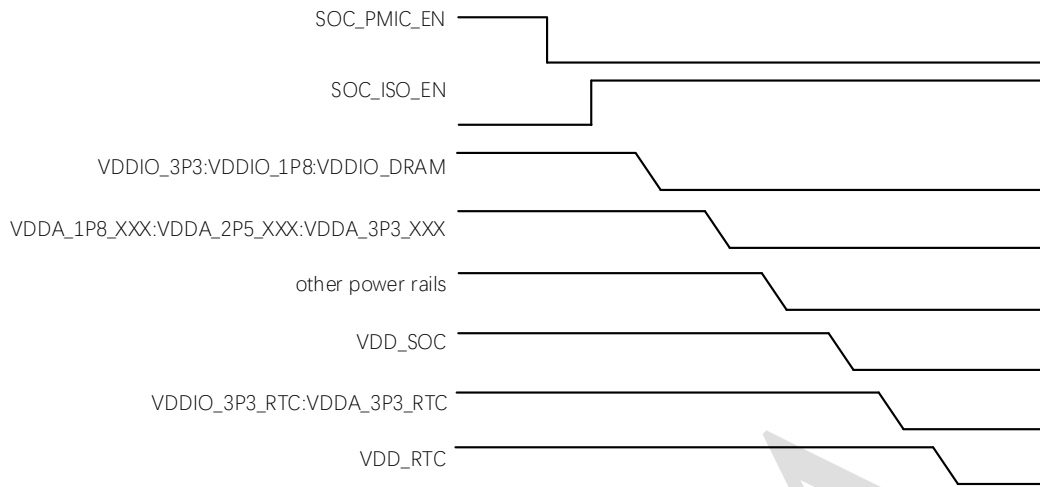


图 4-6 Yulong810A 断电顺序

目前的电源架构需要外部PMIC来保证整个芯片的上电和断电顺序。

4.3.6.3 PMIC握手序列

外部PMIC将与Yulong810A握手。图4-6显示了Yulong810A和PMIC之间的握手序列。Yulong810A输出的SOC-PMIC-EN信号和PMIC输出SOC_ISO_EN信号至Yulong810A。

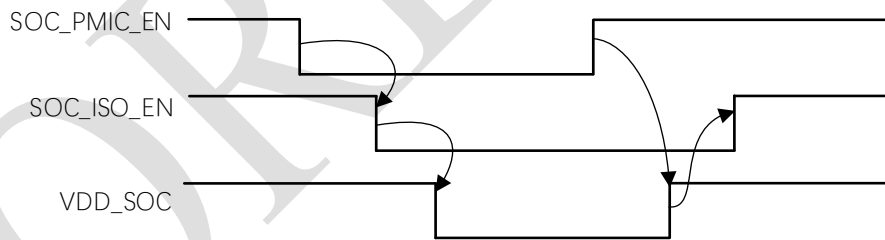


图 4-7 Yulong810A 与 PMIC 之间的时序

4.3.7 电源管理单元 (PMU)

Yulong810A集成了一个用于SoC电源管理的PMU。当PMU接收到来自硬件/软件的掉电/上电请求时，它将产生隔离，电源开关使能以进行电源控制。在PMU完成电源控制后，一个确认将返回给请求者。

除了正常电源模式转换的电源控制外，Yulong810A中的硬件电源请求将包括在不同场景中使用芯片时，这些块是否存在的eFuse配置。

5. RTC供电及上下电方式

Yulong810A 芯片 RTC 供电方式如下所述：

- SOC 断电时，使用 3V 的可充电纽扣电池给 RTC 供电；
- SOC 断电时，在 PCB 板或芯片内使用 LDO 等电压转换装置将纽扣电池的 3V 转成 1.8V、1.0V 分别供片上 32K 震荡器及 RTC 使用；
- 当 PCB 板的电源模块断电且 RTC 由纽扣电池供电时，只能使用 RTC 的日历功能，无法使用 RTC 唤醒 SOC；
- RTC 日历精度受 32.768Khz 无源晶体温度、板级噪声等多种因素影响；
- SOC 断电，但 PCB 板电源模块不断电时，RTC 电源域由 PCB 板电源模块供电。此时，可使用 RTC 的定时功能唤醒 SOC。

6. 启动

Yulong810A 芯片的 ARM 处理器可以选择使用直接外部 EXTERN BUS 的 FLASH 接口启动或内部 BOOT 程序启动，选择用哪种方式启动是由芯片上电时 Yulong810A 的启动配置管脚 REMAP 电平决定。内部 BOOT 支持 SPI/NOR/NAND/EMMC/SD FLASH 存储启动应用程序或是使用串口 KERMIT 协议下载启动应用程序。选择内部 BOOT 使用哪种启动方式启动是由 8 个上电启动配置管脚电平决定。

ARM 内部 BOOTROM 程序固化在 0XFFFF0000 地址大小为 32K。BOOT 支持 DEBUG 模式，对应 DEBUG 模式管脚被设置为 1 后 BOOT 会将内部 BOOT 运行的状态通过串口 0 输出英文字符串提示内容 (ARM 输出为通用串口 0)。芯片 BOOT DEBUG 或串口 KERMIT 协议下模式时，串口 24-25M 晶振输出频率为 115200 波特率。

内部 BOOT 程序启动有以下功能：BOOT 程序支持 FLASH 中存储多个备份数据，防止少量内存损坏导致程序无法启动、可根据 FLASH 设置进行一些简单处理器内存读写控制、拷贝 FLASH 存储数据到指定内存、处理器跳转到指定位置运行的功能。使用 BOOT 程序启动时需要 FLASH 存储的内容符合特定协议格式要求，否则程序运行将失败。欧比特提供相关 FLASH 存储格式转换软件，通过软件生成最终的烧写文件。

表 6-1 内部 BOOT 和外部 EMI 启动方式选择列表

REMAP 管脚	BOOT_2ND[0: 7]管脚	说明
0	控制内部 BOOT 程序工作模式	处理器对应从内部 BOOTROM 取指令运行内部 BOOT 程序，内部 BOOT 程序将根据 BOOT2ND 管脚配置选择进入 FLASH 引导模式、串口模式或调试模式。
1	REMAP 位 1 是相关管脚功能被忽略	处理器从 EMI 接口的 16 位并行接口存储器 0 地址取指令运行。

表 6-2 内部 BOOT 启动方式选择表

BOOT_2ND[7]	BOOT_2ND[6]	BOOT_2ND[5:3]	BOOT_2ND[2:0]
该位为 1 时 DEBUG 模式开启，BOOTROM 程序会		NANDFLASH 块大小配置： 000 ：每块 32 页	NANDFLASH 页大小配置： 001 ：每页 2048 字节



<p>将当前 BOOTROM 运行状态以字符串形式输出。</p>	<p>该位为 1 系统设置为: NANDFLASH 启动。</p>	<p>001: 每块 64 页 010: 每块 128 页 011: 每块 256 页 100: 每块 512 页 101: 每块 1024 页 110: 每块 2048 页 111: 每块 4096 页</p>	<p>010: 每页 4096 字节 011: 每页 8192 字节 其他值: 不支持其他页大小 FLASH 启动方式。</p>
<p>该位为 0 时 DEBUG 模式关闭, BOOTROM 程序输出状态信息。</p>	<p>该位为 0 系统设置: 非 NANDFLASH 启动模式。</p>	<p>部分接口可以通过该设置调整接口速率, 外接晶振频率变化接口速率也会按比例变化。UART 速率、EMI 速率不会改变, 固定 24M 晶振速率, UART 速率: 115200, EMI 速率: 1M。</p> <p>000: 设置为低速模式 (QSPI 速率: 6M, SD/MMC 速率: 300K/3M);</p> <p>010: 设置为高速模式 (QSPI 速率: 12M, SD 速率: 400K/4M)。</p>	<p>000: QSPI 启动 001: ARM SD 启动 010: ARM EMMC 卡启动 011: 串口命令下载启动 100: EMI 接口 16 位并行接口启动 101: EMI 接口 8 位并行接口启动 其他值: 进入等待模式程处理器进入一个 while 循环, 等待仿真器连接。非本模式下存储空间有错误处理器会通过看门狗复位, 容易导致仿真器连接不上的问题。</p>



7. 产品订货信息

表 7-1 芯片产品订货信息

序号	产品型号	产品描述	备注
1	Yulong810A-I	工业级	
2	Yulong810A-E	样品	
3	Yulong810A-CMM	军品级	
4	Yulong810A-CMS	宇航级	

