

# Отладочная плата jfmk50t4\_devkit.

## Руководство пользователя.

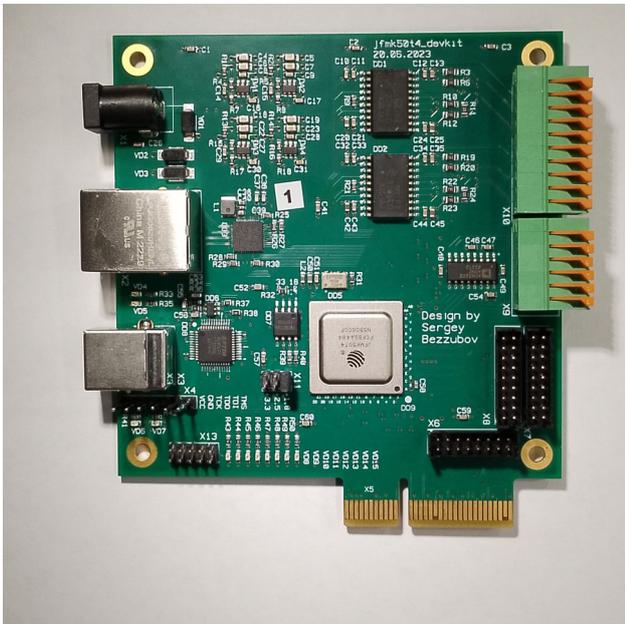
### Общая информация

Отладочная плата предназначена для изучения ПЛИС JFMK50T4 производства Fudan (КНР). Также она может быть использована в качестве преобразователя интерфейсов, сопроцессора, платы захвата видео с CSI-2/LVDS сенсоров, и т.д.

Конструктивно плата может быть установлена в стандартный слот PCI Express x4.

Питание платы может осуществляться как от внешнего источника питания +5...12В 1А (через разъём X1), так и от слота PCI Express, либо от USB. В случае питания от USB, порт должен обеспечивать ток не менее 1А. При подаче питания от нескольких источников автоматически выбирается источник с наибольшим напряжением питания.

### Внешний вид



Вид сверху



Вид снизу

### Примечание:

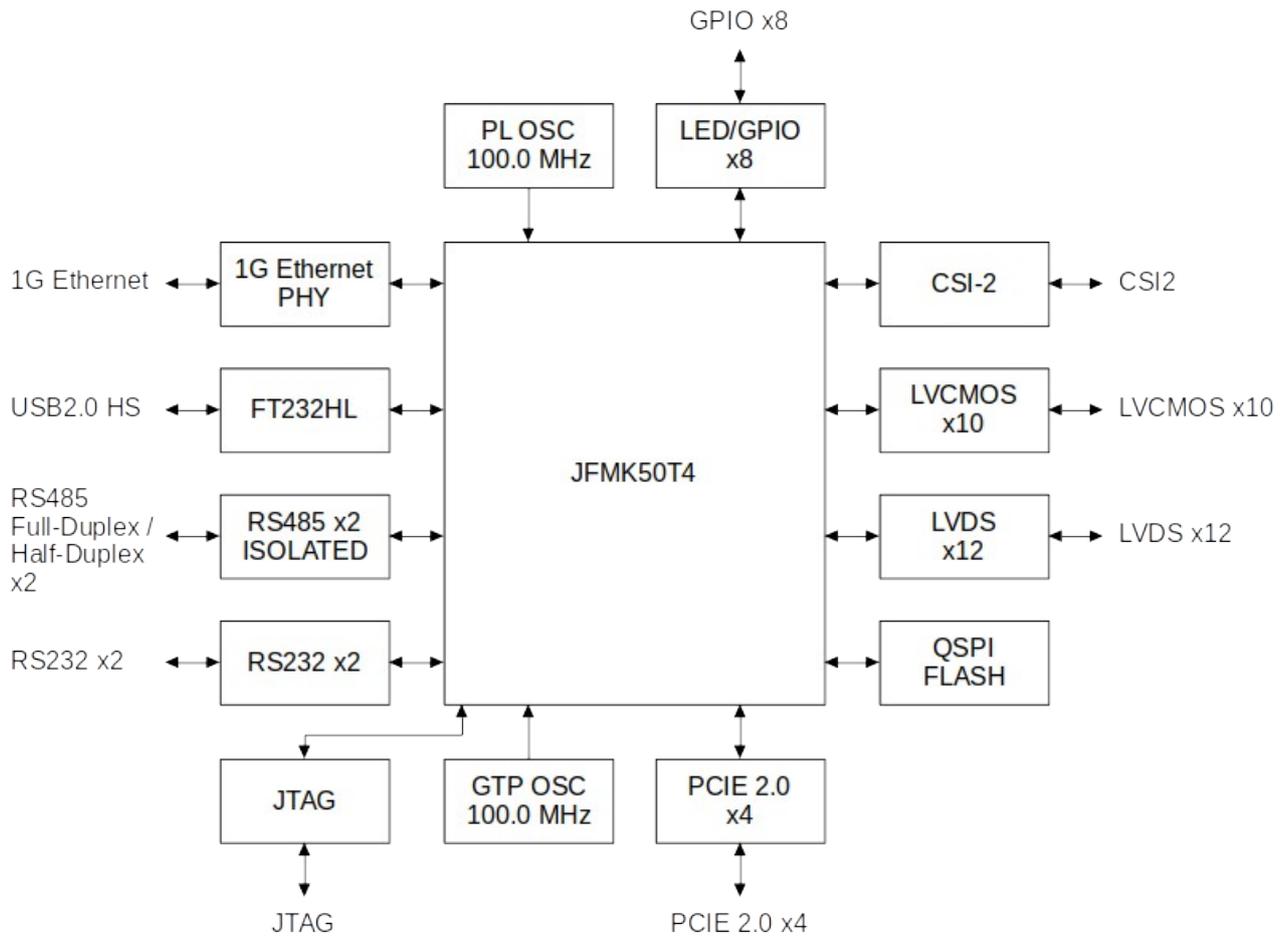
В версии от 20.06.2023 есть ошибка с расположением PCIe разъёма, плата не влезает в стандартный компьютерный корпус - разъём Ethernet упирается в стенку корпуса. В этом случае рекомендуется использовать PCIe райзер идущий в комплекте с платой и размещать отладочную плату вне корпуса компьютера.

Сейчас в производстве находится версия от 20.06.2023.

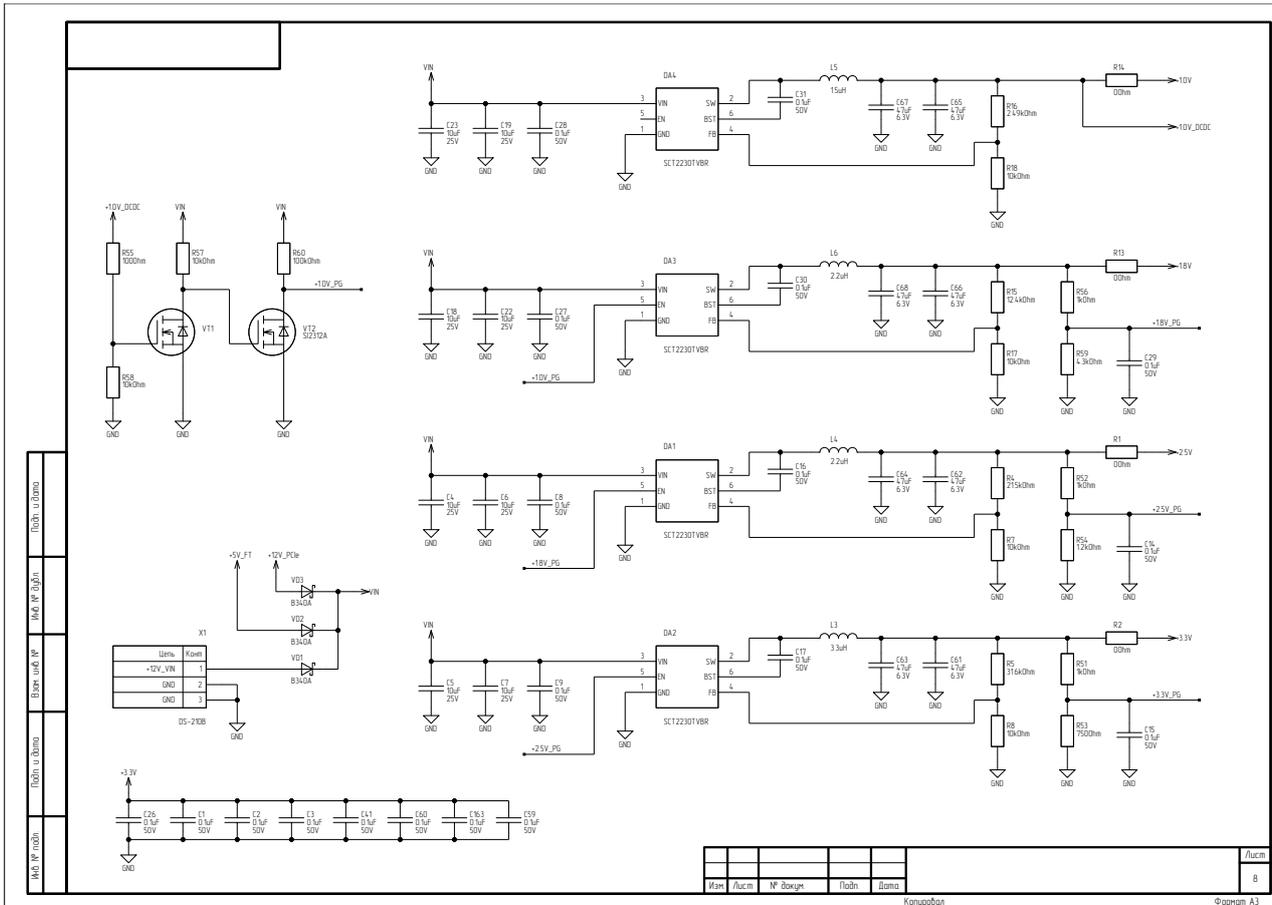
В версии от 28.08.2023 данная ошибка исправлена (разъём PCIe смещен влево на 5 мм чтобы Ethernet разъём не упирался в стенку корпуса).

Производство будет запущено в случае если будет спрос на данные отладочные платы.

## Структурная схема



# Схема питания



## PL OSC

Для тактирования логики в ПЛИС используется генератор ГК1109С-531-СМ-100,0МГц.

Распиновка сигналов PL OSC со стороны ПЛИС:

Имя сигнала	№ контакта JFMK50T4	Стандарт В/В	Примечание
clk_100MHz	AA18	LVTTL	Опорный тактовый сигнал, 100 МГц

## QSPI FLASH

Для конфигурирования ПЛИС используется микросхема FM25Q128A-SOB-T-G. Также предусмотрен отдельный сигнал для перезагрузки конфигурации ПЛИС (например, после удаленного обновления прошивки).

Распиновка сигналов QSPI FLASH со стороны ПЛИС:

Имя сигнала	№ контакта JFMK50T4	Стандарт В/В	Примечание
qspi_sck	N14	LVTTL	Тактовый сигнал QSPI
qspi_dq[0]	U22	LVTTL	Данные QSPI
qspi_dq[1]	V22	LVTTL	Данные QSPI
qspi_dq[2]	V21	LVTTL	Данные QSPI
qspi_dq[3]	W21	LVTTL	Данные QSPI
qspi_cs_n	V20	LVTTL	Выбор чипа QSPI
reconfig_req	T21	LVTTL	Перезагрузка конфигурации из QSPI FLASH, pull-down 4.7 кОм, активный 1
cfg_sta	P11	LVTTL	Инициализация завершена, зелёный светодиод VD6
cfg_done	R13	LVTTL	Конфигурирование завершено, зелёный светодиод VD7

## GTP OSC

Для тактирования GTP трансиверов в ПЛИС используется генератор ГК1104П-5ДЗ-СМ-100,0МГц-В.

Распиновка сигналов GTP OSC со стороны ПЛИС:

Имя сигнала	№ контакта JFMK50T4	Стандарт В/В	Примечание
gtp_refclk_p	E10	CML	Опорный тактовый сигнал+, 100 МГц
gtp_refclk_n	F10	CML	Опорный тактовый сигнал-, 100 МГц

## PCIЕ2.0 x4

Интерфейс PCIЕ2.0 выведен на стандартный разъём PCIЕ x4, что позволяет устанавливать плату в обычный компьютер имеющий PCIЕ x4, x8 или x16 слот.

Также при установке в слот PCIЕ не требуются внешние источники питания, т.к. питание осуществляется от слота.

Тактирование модуля PCIЕ в ПЛИС может осуществляться как от PCIЕ, так и от GTP OSC.

Распиновка сигналов PCIЕ2.0 x4 со стороны ПЛИС:

Имя сигнала	№ контакта JFMK50T4	Стандарт В/В	Примечание
pcie_reset_n	A15	LVTTL	Сброс PCIЕ, pull-up 4.7 кОм, активный 0
pcie_wake_n	A14	LVTTL	Пробуждение ПК по PCIЕ, активный 0
pcie_clkreq_n	A13	LVTTL	Разрешение выдачи опорного тактового сигнала от ПК, активный 0
pcie_refclk_p	E6	CML	Опорный тактовый сигнал+, 100 МГц
pcie_refclk_n	F6	CML	Опорный тактовый сигнал-, 100 МГц
pcie_rx_p[0]	B8	CML	Приёмник, lane 0+
pcie_rx_n[0]	A8	CML	Приёмник, lane 0-
pcie_rx_p[1]	C11	CML	Приёмник, lane 1+
pcie_rx_n[1]	D11	CML	Приёмник, lane 1-
pcie_rx_p[2]	A10	CML	Приёмник, lane 2+
pcie_rx_n[2]	B10	CML	Приёмник, lane 2-

pcie_rx_p[3]	D9	CML	Приёмник, lane 3+
pcie_rx_n[3]	C9	CML	Приёмник, lane 3-
pcie_tx_p[0]	A4	CML	Передатчик, lane 0+
pcie_tx_n[0]	B4	CML	Передатчик, lane 0-
pcie_tx_p[1]	C5	CML	Передатчик, lane 1+
pcie_tx_n[1]	D5	CML	Передатчик, lane 1-
pcie_tx_p[2]	A6	CML	Передатчик, lane 2+
pcie_tx_n[2]	B6	CML	Передатчик, lane 2-
pcie_tx_p[3]	C7	CML	Передатчик, lane 3+
pcie_tx_n[3]	D7	CML	Передатчик, lane 3-

## CSI-2

Сигналы CSI-2 выведены на разъём X12.

Тип разъёма: FPC1.0-15-02.

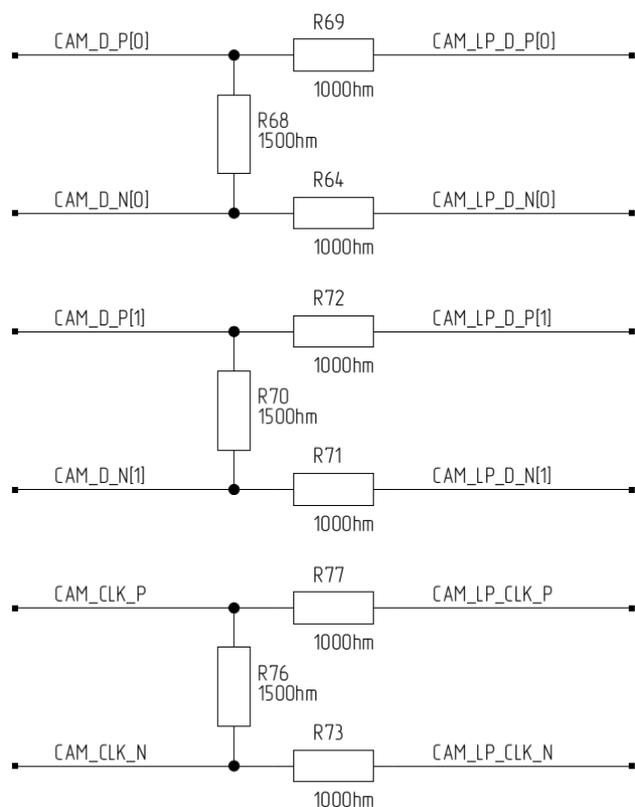
Через данный разъём можно подключать стандартные Raspberry PI / Arducam сенсоры через FPC шлейф 1.0 мм.

Например, IMX219, IMX477.

Распиновка X12:

Имя сигнала	№ контакта X12	Примечание
GND	1	Земля
CAM_D_N[0]	2	CSI-2, данные-
CAM_D_P[0]	3	CSI-2, данные+
GND	4	Земля
CAM_D_N[1]	5	CSI-2, данные-
CAM_D_P[1]	6	CSI-2, данные+
GND	7	Земля
CAM_CLK_N	8	CSI-2, опорный тактовый сигнал-
CAM_CLK_P	9	CSI-2, опорный тактовый сигнал+
GND	10	Земля
CAM_PWR_EN	11	Включение сенсора, pull-up 4.7 кОм
CAM_GPIO	12	Вывод общего назначения, pull-up 4.7 кОм
CAM_SCL	13	I2C SCL, pull-up 4.7 кОм
CAM_SDA	14	I2C SDA, pull-up 4.7 кОм
+3.3V	15	Питание сенсора

Сигналы CSI-2 при подключении к ПЛИС преобразуются в LVDS\_25 и HSUL12 с помощью следующей схемы:



Распиновка сигналов CSI-2 со стороны ПЛИС:

Имя сигнала	№ контакта JFMK50T4	Стандарт В/В	Примечание
cam_d_p[0]	AA21	LVDS_25	High-speed данные+
cam_d_n[0]	AA20	LVDS_25	High-speed данные-
cam_d_p[1]	AA19	LVDS_25	High-speed данные+
cam_d_n[1]	Y19	LVDS_25	High-speed данные-
cam_clk_p	W17	LVDS_25	High-speed опорный тактовый сигнал+
cam_clk_n	Y18	LVDS_25	High-speed опорный тактовый сигнал-
cam_d_lp_p[0]	AB21	HSUL_12	Low-power данные+
cam_d_lp_n[0]	AB20	HSUL_12	Low-power данные-
cam_d_lp_p[1]	AB19	HSUL_12	Low-power данные+
cam_d_lp_n[1]	AB18	HSUL_12	Low-power данные-
cam_clk_lp_p	AB14	HSUL_12	Low-power опорный тактовый сигнал+

cam_clk_lp_n	AB15	HSUL_12	Low-power опорный тактовый сигнал-
cam_pwr_en	AA14	LVTTL	Включение сенсора, pull-up 4.7 кОм
cam_gpio	Y14	LVTTL	Вывод общего назначения, pull-up 4.7 кОм
cam_scl	AB13	LVTTL	I2C SCL, pull-up 4.7 кОм
cam_sda	AA13	LVTTL	I2C SDA, pull-up 4.7 кОм

## 1G Ethernet

1G Ethernet выведен на разъём X2.

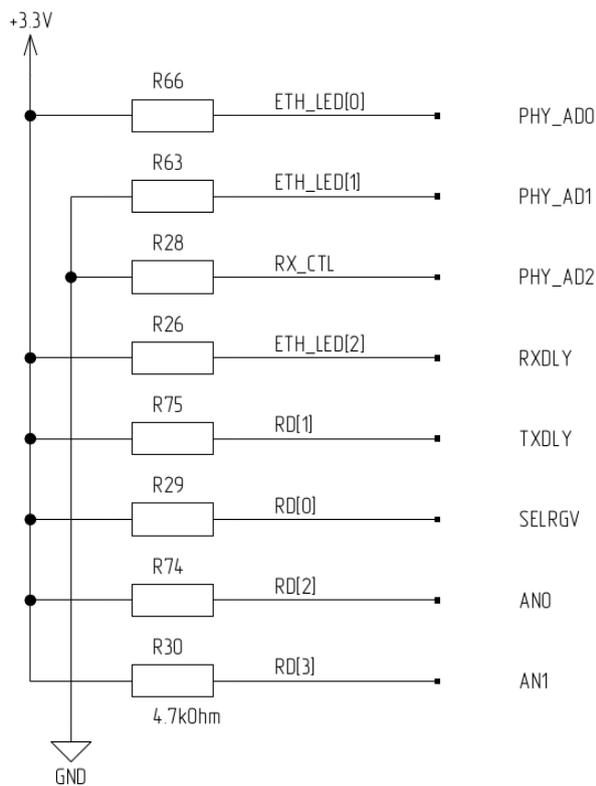
В качестве PHY используется микросхема RTL8211E-VB-CG.

Интерфейс RGMII.

Тип разъёма:

RJ-45

Конфигурация STRAP пинов RTL8211E-VB-CG:



Конфигурация светодиодов RTL8211E-VB-CG:

Светодиод	Подключение
ETH_LED[0]	Желтый светодиод на разъёме X2, LED_Y-, активный 0
ETH_LED[1]	Зелёный светодиод на разъёме X2, LED_G+, активный 1
ETH_LED[2]	Не подключен

Распиновка сигналов 1G Ethernet со стороны ПЛИС:

Имя сигнала	№ контакта JFMK50T4	Стандарт В/В	Примечание
eth_reset_n	AB2	LVTTL	Сброс PHY, pull-down 4.7 кОм
eth_rxc	V4	LVTTL	RGМII, тактовый сигнал
eth_rx_ctl	Y9	LVTTL	RGМII, валидность данных, pull-down 4.7 кОм
eth_rd[0]	AA8	LVTTL	RGМII, данные, pull-up 4.7 кОм
eth_rd[1]	AB8	LVTTL	RGМII, данные, pull-up 4.7 кОм
eth_rd[2]	AB7	LVTTL	RGМII, данные, pull-up 4.7 кОм
eth_rd[3]	AA6	LVTTL	RGМII, данные, pull-up 4.7 кОм
eth_txc	AB6	LVTTL	RGМII, тактовый сигнал
eth_tx_ctl	AA3	LVTTL	RGМII, валидность данных
eth_td[0]	AA5	LVTTL	RGМII, данные
eth_td[1]	AB5	LVTTL	RGМII, данные
eth_td[2]	AA4	LVTTL	RGМII, данные
eth_td[3]	AB3	LVTTL	RGМII, данные
eth_mdc	AB1	LVTTL	MDIO, тактовый сигнал
eth_mdio	AA1	LVTTL	MDIO, данные, pull-up 1.5 кОм

## USB2.0 HS

USB2.0 HS выведен на разъём X3.

В качестве интерфейсной микросхемы используется FT232HL.

Для хранения конфигурации FT232HL используется EEPROM 93LC56BT-I/OT.

Тип разъёма:

USB type B

Распиновка специальных сигналов FT232HL:

Сигнал	Подключение
ACBUS[6]	Красный светодиод VD5
ACBUS[8]	Зелёный светодиод VD4
ACBUS[9]	Управление Р-канальным MOSFET для подачи питания от USB

Распиновка сигналов USB2.0 HS со стороны ПЛИС:

Имя сигнала	№ контакта JFMK50T4	Стандарт В/В	Примечание
ftdi_adbus[0]	B17	LVTTL	ADBUS[0]
ftdi_adbus[1]	A18	LVTTL	ADBUS[1]
ftdi_adbus[2]	B18	LVTTL	ADBUS[2]
ftdi_adbus[3]	A19	LVTTL	ADBUS[3]
ftdi_adbus[4]	A20	LVTTL	ADBUS[4]
ftdi_adbus[5]	B20	LVTTL	ADBUS[5]
ftdi_adbus[6]	A21	LVTTL	ADBUS[6]
ftdi_adbus[7]	B21	LVTTL	ADBUS[7]
ftdi_acbus[0]	B22	LVTTL	ACBUS[0]
ftdi_acbus[1]	C22	LVTTL	ACBUS[1]
ftdi_acbus[2]	D21	LVTTL	ACBUS[2]
ftdi_acbus[3]	D22	LVTTL	ACBUS[3]
ftdi_acbus[4]	E21	LVTTL	ACBUS[4]
ftdi_acbus[5]	C17	LVTTL	ACBUS[5]
ftdi_acbus_7	E22	LVTTL	ACBUS[7]

## RS485 x2 ISOLATED

Два канала изолированного RS485 выведены на разъём X10.

В качестве трансиверов используются микросхемы NSIP83086C-DSWTR.

Каждый канал имеет независимую землю и переключатель для выбора режима Full-Duplex / Half-Duplex.

Тип разъёма:

DG141R-2.54-10P-14-00AH

Назначение переключателей:

Имя переключателя	все «ON»	все «OFF»
SW2	Канал 0, Half-Duplex	Канал 0, Full-Duplex
SW1	Канал 1, Half-Duplex	Канал 1, Full-Duplex

Распиновка X10:

Имя сигнала	№ контакта X10	Примечание
RS485_A_0	1	Канал 0, приёмник+
RS485_B_0	2	Канал 0, приёмник-
RS485_Y_0	3	Канал 0, передатчик+
RS485_Z_0	4	Канал 0, передатчик-
GND_ISO_0	5	Канал 0, земля
RS485_A_1	6	Канал 1, приёмник+
RS485_B_1	7	Канал 1, приёмник-
RS485_Y_1	8	Канал 1, передатчик+
RS485_Z_1	9	Канал 1, передатчик-
GND_ISO_1	10	Канал 1, земля

Распиновка сигналов RS485 x2 ISOLATED со стороны ПЛИС:

Имя сигнала	№ контакта JFMK50T4	Стандарт В/В	Примечание
rs485_di[0]	U1	LVTTL	Канал 0, вход передатчика
rs485_de[0]	U2	LVTTL	Канал 0, разрешение передачи
rs485_ro[0]	W1	LVTTL	Канал 0, выход приёмника
rs485_di[1]	W2	LVTTL	Канал 1, вход передатчика
rs485_de[1]	Y1	LVTTL	Канал 1, разрешение передачи
rs485_ro[1]	Y2	LVTTL	Канал 1, выход приёмника

## RS232 x2

Два канала RS232 выведены на разъём X9.

В качестве трансивера используется микросхема ADM3202ARNZ.

Тип разъёма:

DG141R-2.54-06P-14-00AH

Распиновка X9:

Имя сигнала	№ контакта X10	Примечание
RS232_TX[0]	1	Канал 0, передатчик
RS232_RX[0]	2	Канал 0, приёмник
GND	3	Земля
RS232_TX[1]	4	Канал 1, передатчик
RS232_RX[1]	5	Канал 1, приёмник
GND	6	Земля

Распиновка сигналов RS232 x2 со стороны ПЛИС:

Имя сигнала	№ контакта JFMK50T4	Стандарт В/В	Примечание
rs232_txd[0]	Y4	LVTTL	Канал 0, вход передатчика
rs232_rxd[0]	Y3	LVTTL	Канал 0, выход приёмник
rs232_txd[1]	W5	LVTTL	Канал 1, вход передатчика
rs232_rxd[1]	W6	LVTTL	Канал 1, выход приёмника

## LVC MOS x10

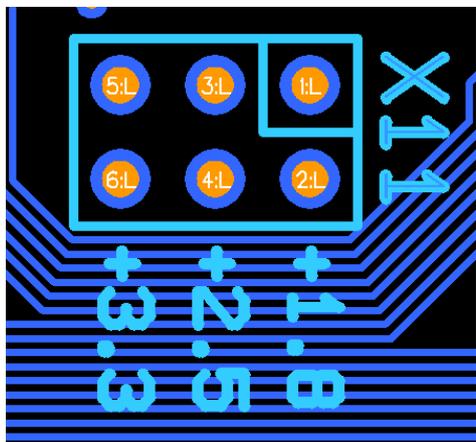
Сигналы LVC MOS x10 выведены на разъём X6.

Тип разъёма: DF11-16DP-2DSA.

При этом уровень сигнала определяется напряжением питания банка.

Напряжение питания банка выбирается с помощью джампера на разъёме X11.

Соответствующие напряжения подписаны в слое шелкографии.



Положение джампера	Уровень сигнала
1-2	1.8В
3-4	2.5В
5-6	3.3В

### **Внимание!**

**Установка джампера в другие положения, также как и его отсутствие приведет к выходу платы из строя!**

Распиновка X6:

Имя сигнала	№ контакта X6	№ контакта JFMK50T4	Примечание
+3.3V	1	-	Питание +3.3В от платы
+3.3V	2	-	Питание +3.3В от платы
lvcmos_clk[0]	3	H22	Глобальный тактовый сигнал
lvcmos_clk[1]	4	L16	Глобальный тактовый сигнал
GND	5	-	Земля
GND	6	-	Земля
lvcmos_io[0]	7	G21	Вывод общего назначения
lvcmos_io[1]	8	G22	Вывод общего назначения
lvcmos_io[2]	9	H19	Вывод общего назначения

lvcmos_io[3]	10	H20	Вывод общего назначения
GND	11	-	Земля
GND	12	-	Земля
lvcmos_io[4]	13	G18	Вывод общего назначения
lvcmos_io[5]	14	G19	Вывод общего назначения
lvcmos_io[6]	15	H16	Вывод общего назначения
lvcmos_io[7]	16	H17	Вывод общего назначения

## LVDS x12

Сигналы LVDS x12 выведены на разъёмы X7, X8.  
Тип разъёмов: DF11-18DP-2DSA.

Распиновка X7:

Имя сигнала	№ контакта X7	№ контакта JFMK50T4	Примечание
lvds_clk_p[0]	1	H2	Глобальный тактовый сигнал+
lvds_clk_n[0]	2	G2	Глобальный тактовый сигнал-
GND	3	-	Земля
lvds_io_p[0]	4	D1	Вывод общего назначения+
lvds_io_n[0]	5	E1	Вывод общего назначения-
GND	6	-	Земля
lvds_io_p[1]	7	F1	Вывод общего назначения+
lvds_io_n[1]	8	G1	Вывод общего назначения-
GND	9	-	Земля
lvds_clk_p[1]	10	L4	Глобальный тактовый сигнал+
lvds_clk_n[1]	11	L5	Глобальный тактовый сигнал-
GND	12	-	Земля
lvds_io_p[2]	13	J1	Вывод общего назначения+
lvds_io_n[2]	14	K1	Вывод общего назначения-
GND	15	-	Земля
lvds_io_p[3]	16	L1	Вывод общего назначения+
lvds_io_n[3]	17	M1	Вывод общего назначения-
GND	18	-	Земля

Распиновка X8:

Имя сигнала	№ контакта X8	№ контакта JFMK50T4	Примечание
lvds_io_p[4]	1	B1	Вывод общего назначения+
lvds_io_n[4]	2	A1	Вывод общего назначения-
GND	3	-	Земля
lvds_io_p[5]	4	K2	Вывод общего назначения+
lvds_io_n[5]	5	J2	Вывод общего назначения-
GND	6	-	Земля
lvds_io_p[6]	7	K4	Вывод общего назначения+
lvds_io_n[6]	8	J4	Вывод общего назначения-
GND	9	-	Земля
lvds_io_p[7]	10	M2	Вывод общего назначения+
lvds_io_n[7]	11	M3	Вывод общего назначения-
GND	12	-	Земля
lvds_io_p[8]	13	N2	Вывод общего назначения+
lvds_io_n[8]	14	P2	Вывод общего назначения-
GND	15	-	Земля
lvds_io_p[9]	16	R1	Вывод общего назначения+
lvds_io_n[9]	17	P1	Вывод общего назначения-
GND	18	-	Земля

## LED/GPIO

Для отладки и индикации с ПЛИС выведено 8 светодиодов.

Также данные сигналы продублированы на разъём X13.

Тип разъёма: PLD2-10.

Распиновка X13:

Имя сигнала	№ контакта X13	№ контакта JFMK50T4	Примечание
led_n[0]	2	A16	VD15, зелёный, активный 0
led_n[1]	1	B15	VD14, зелёный, активный 0
led_n[2]	4	B16	VD13, зелёный, активный 0
led_n[3]	3	C15	VD12, зелёный, активный 0
led_n[4]	6	C19	VD11, красный, активный 0
led_n[5]	5	C20	VD10, красный, активный 0

led_n[6]	8	D19	VD9, красный, активный 0
led_n[7]	7	D20	VD8, красный, активный 0
GND	10	-	Земля
GND	9	-	Земля

## JTAG

Программирование ПЛИС осуществляется через JTAG.

При использовании Vivado, можно использовать любой программатор поддерживаемый данной средой. При использовании ProCise возможно использование только оригинальных программаторов Xilinx и их клонов построенных на оригинальных чипах FTDI.

Например, AL321 фирмы Alinx.

[https://aliexpress.ru/item/1005005770336147.html?sku\\_id=12000034290970029&spm=a2g2w.productlist.search\\_results.11.5bec4aa6A40P1Y](https://aliexpress.ru/item/1005005770336147.html?sku_id=12000034290970029&spm=a2g2w.productlist.search_results.11.5bec4aa6A40P1Y)

[https://aliexpress.ru/item/1005005304511793.html?sku\\_id=12000032561819763&spm=a2g2w.productlist.search\\_results.13.5bec4aa6A40P1Y](https://aliexpress.ru/item/1005005304511793.html?sku_id=12000032561819763&spm=a2g2w.productlist.search_results.13.5bec4aa6A40P1Y)

JTAG выведен на разъём X4.

Тип разъёма: PLS-6.

Распиновка X4:

Имя сигнала	№ контакта X4	№ контакта JFMK50T4	Примечание
VCC	1	-	Питание буфера программатора
GND	2	-	Земля
TCK	3	N13	JTAG
TDO	4	P14	JTAG
TDI	5	P13	JTAG
TMS	6	N10	JTAG

Соответствующие сигналы подписаны в слое шелкографии.



## Порядок сборки проекта в среде Vivado

1) Установить патч от Fudan.

Для ОС Linux:

- скопировать папку JFM\_Kits в корень папки пользователя

- прописать в .profile путь к папке JFM\_Kits:

```
export JFM_PATH='/home/user/JFM_Kits'
```

где **user** - имя пользователя

Для ОС Windows:

- скопировать папку JFM\_Kits в корень диска C

- прописать в переменную среды JFM\_PATH путь к папке JFM\_Kits:

```
JFM_PATH=C:\JFM_Kits
```

2) Создать проект по стандартному маршруту Vivado.

В качестве ПЛИС необходимо выбрать xc7a50tfgg484-2.

Также необходимо отключить инкрементальную компиляцию проекта и кэширование IP.

### Settings

Incremental synthesis:	Not set	...
Strategy:	Vivado Synthesis Defaults* (Vivado...)	...
Description:	Vivado Synthesis Defaults	

### Settings

Incremental implementation:	Not set	...
Strategy:	Vivado Implementation Defa...	...
Description:	Default settings for Implementation.	

### IP Cache

Out of Context per IP Synthesis needs to be used to take advantage of IP Caching

Cache scope

IP Synthesis Cache Location

3) Запустить скрипт от Fudan выполнив в Tcl Console Vivado команду:

Для ОС Linux:

```
source /home/user/JFM_Kits/ip_patch/run.tcl
```

где **user** - имя пользователя

Для ОС Windows:  
source C:/JFM\_Kits/ip\_patch/run.tcl

4) Добавить в проект патч выполнив в Tcl Console Vivado команду:  
add\_hook\_tcl\_to\_prj

Если впоследствии нужно будет удалить патч из проекта необходимо выполнить команду:  
remove\_hook\_tcl\_from\_prj

5) Выполнить конвертацию распиновки Fudan в распиновку Vivado:  
a50t\_484\_xdc\_modify /home/user/test\_fw/jfmk50t4\_test\_fw/jfmk50t4\_test\_fw.srscs/constrs\_1/  
**pinout.xdc**  
где /home/user/test\_fw/jfmk50t4\_test\_fw/jfmk50t4\_test\_fw.srscs/constrs\_1/pinout.xdc - путь к XDC файлу с распиновкой

После завершения конвертации распиновки будет создана резервная копия XDC файла с расширением \*.bak, а в конце сконвертированного файла появится надпись:  
#PACKAGE\_ECOed

При необходимости изменить распиновку нужно восстановить исходный файл из резервной копии \*.bak, внести необходимые изменения и повторить процедуру конвертации распиновки.

6) Собрать проект нажав кнопку Generate Bitstream.

Примечание:  
Полученный \*.bit файл можно заливать напрямую из Vivado.

Если необходимо запрограммировать QSPI FLASH, есть два варианта:

1. Подменить \*.bit файлы загрузчиков в директории Vivado на файлы из директории JFM\_Kits/programFlash/bit

При этом не забыть сделать резервную копию исходных файлов чтобы можно было восстановить возможность прошивки оригинальных ПЛИС Xilinx!

2. Использовать для программирования QSPI FLASH фирменную среду Procise.

При этом предварительно необходимо в Vivado преобразовать полученный \*.bit файл в \*.mcs или \*.bin.

## Перечень тестовых проектов

1. jfmk50t4\_test\_led - счетчик выведенный на светодиоды.  
bit файл и исходники.
2. jfmk50t4\_test\_io - счетчик выведенный на LVDS, LVCMOS, RS232, RS485, loopback с RS232, RS485 заведен на светодиоды.  
bit файл и исходники.
3. jfmk50t4\_test\_usb - счетчик тактируемый от FT232HL и выведенный на светодиоды, UART от FT232HL проброшен на RS232[0].  
bit файл и исходники.
4. jfmk50t4\_test\_eth - тестовый проект с Ethernet, по адресу 10.10.1.100 порт 1002 сделан loopback для UDP, по адресу 10.10.1.100 порт 1003 UDP пакеты пробрасываются в RS232[0] и обратно. Поддержана команда ping и упрощенный DHCP сервер.  
bit файл.
5. jfmk50t4\_test\_pcie - тестовый проект с PCIe, с помощью команды lsusb можно проверить, что плата видится со стороны компьютера.  
mcs файл.